

いくつかの重要な語句に関する注釈

- **ACLR** – Adjacent Channel Leakage Ratio. Power ratio of adjacent channel leakage power to the desired signal.
隣接チャンネル漏洩電力比。送信機の変調性能を評価するための指標であり、送信機の非線形特性などにより所望波のチャンネル帯域外に漏洩する電力で、所望波との電力比により表される
- **ADC, or Analog-to-Digital Converter** – A device that converts a continuous physical quantity (usually voltage) to a digital number.
連続的な物理量(通常は電圧)をデジタル値に変換する素子。
- **Back-End-of-Line/BEOL, Middle of Line/MOL, and Front-End-of-Line/FEOL** – In integrated circuit manufacturing, transistors and other active devices are built at the front end of the manufacturing line (FEOL), contacts on the active areas and gates are built at the middle of the manufacturing line (MOL) and the interconnect, or the wiring, is built at the back end of the manufacturing line (BEOL).
集積回路製造において、最初に形成されるトランジスタや他のアクティブ素子を FEOL(the front end of the manufacturing line)、中間工程で形成される活性領域とゲート上のコンタクトを MOL(the middle of the manufacturing line)、そして終盤工程で形成される配線構造を BEOL(the back end of the manufacturing line)と呼ぶ。
- **Bi-Phase On-Off-Keying (BPOOK)** – A modulation scheme of data communication. Carrier amplitude is modulated between zero and one depending on the baseband data. Furthermore, carrier phase is also changed between 0 and 180° when the baseband data is “one”. Compared with the OOK and BPSK, the spectrum efficiency is improved and data rate can be doubled with the same spectrum bandwidth. Same as the OOK, envelope detector can be used for demodulation and suited for low power operation.
データ通信における変調方式の一つ。ベースバンドデータが“0”のとき、搬送波の振幅を0とし、ベースバンドデータが“1”のとき、搬送波の位相を0°と180°で切り替える。OOKやBPSKとくらべて周波数利用効率を改善することができ、同じ周波数帯域で2倍のデータレートを実現できる。さらに、OOKと同様に包絡線検波器で復調できるため、低電力動作に向いている。
- **Bi-Phase Shift Keying (BPSK)** – A modulation scheme of data communication. Carrier phase is modulated between 0 and 180° depending on baseband data. Compared with OOK, receiver sensitivity can be improved by using coherent detector because the distance between signal points are large and required signal-to-noise ratio can be relaxed.
データ通信における変調方式の一つ。搬送波の位相をベースバンドデータに応じて0°と180°の間で切り替える。OOK変調に比べて、同期検波を用いることで信号点間の距離が広くとることができ、所要S/N比が緩和されるため、受信機感度を上げることができる。
- **Body Area Network (BAN)** – Network technologies especially for very small area around a body. Sometimes, used as a synonym of “BCC”.
人体のごく近傍で構築される情報通信ネットワークのこと。基盤となる通信技術である”BCC”と同義で用いられることもある。
- **Body Channel Communication (BCC)** – Wireless communication technology using electromagnetic transmission through living body.
ワイヤレス通信において、空中ではなく、生体の中を伝搬する電磁現象を利用したもの。
- **Buck Converter** – is a DC-to-DC power converter which steps down voltage (while stepping up current) from its input (supply) to its output (load). It is a class of switched-mode power supply (SMPS).
DC-DCコンバータの一種で、特に入力から負荷の間で降圧を行うものを指す。スイッチング電源の一種。
- **BLE** – Bluetooth Low Energy. Bluetooth is a wireless standard, and BLE is a Low-Energy (LE) mode in Bluetooth for Smartphone, IoT, etc.
ブルートゥースローエネルギー。無線通信規格ブルートゥースのうち、スマートフォンやIoT用途に向けて低消費電力化が可能な通信モード。

- **Brain Computer Interface (BCI)** – Technologies that retrieve information or intention from brain to use them in computer and other information systems. Various brain measurement methods including electric and optical schemes are applicable for BCI.
 脳の情報や意図を取り出してコンピューターへの入力として利用するための計測・解析技術。脳からの計測には、各種の電氣的、光学的手法が利用される。
- **CC-CV** – Constant Current and Constant Voltage charging. Initially, CC mode is used to pump in large current at varying voltages. When a certain charging level is reached, charging process is switched to CV mode at the ending stages of charging. Most Li-ion batteries employ CC-CV mode of charging.
 最初は電池セルに一定の電流(大き目の定電流)を供給する。この状態を暫く続け、電池セルの端子電圧が規定値に達すると、定電流充電から定電圧充電に移行し、その後充電を完了する。ほとんどの Li イオン電池機器は、この充電方式を採用している。
- **CDS (Correlated Double Sampling)** – Correlated double sampling is a method to cancel the fixed pattern and reset noise in the pixel. During the pixel readout cycle, two sample are taken and subtracted. One signal is taken when the pixel still in the reset state, and the other is taken when the charge has been transferred to the readout node.
 関連 2 重サンプリング。イメージセンサ読み出しノイズキャンセルのために使われる手法。読み出し時に、信号電荷が流入する前後の電圧レベルを取得し、差分をとる動作で行われる。
- **Chiplet** – It means a tiny chip. Conventionally, multiple cores are mounted in one CPU chip, and multiple functional blocks are mounted in one SoC chip. As the number of cores are increasing, size of one chip also increases. Sometimes increased size causes yield loss, since number of defect is liner to a chip size. Fabricating all necessary functional blocks in one chip with same process node is not necessarily cost effective, since old process node is sometimes good enough to fabricate part of functional blocks. These issues drive the technological development to fabricate multi cores CPU by mounting chiplets in on package and fabricate a system by mounting chiplets of different functions in one package.
 小さいチップを意味する。従来は 1 つの CPU チップの中に複数コアを搭載したり、1 つの SoC チップの中に複数の機能ブロックを搭載したりすることが行われてきた。ところが CPU 内のコア数が増大するにつれてチップ面積が非常に大きくなり(1 チップ当たりの欠陥数も増大する)、この事が歩留まりの低下を招くようになってきた。また、SoC 内の複数の機能ブロックを全て 1 チップにして同じプロセスノードで作ることは必ずしもコスト効率が良くない(例えば古いプロセスノードで十分な機能ブロックも最先端プロセスノードで作ることになる)。この事から、少数コア数の小さいチップ (Chiplet) をパッケージ上に複数搭載して複数コア CPU を形成したり、機能ブロックごとに小さいチップ (Chiplet) を作製してパッケージ上に複数搭載してシステムを形成したりすることが検討されている。
- **CMOS image sensor(CIS)** – Image sensors based on the above CMOS manufacturing technology (complementary metal oxide semiconductor). On the other hand, conventional image sensors called CCD (Charge coupled devices) are based on photodiode and poly-gate processes. CMOS 技術を基礎とするイメージセンサを CMOS イメージセンサと呼び、これに対し、従来の CCD はフォトダイオードとゲート形成プロセスのみに立脚したイメージセンサである。
- **CMOS/MOS/MOSFET/FET**– Most transistors today are FETs, or field-effect transistors. Most FETs are built with CMOS manufacturing technology (complementary metal oxide semiconductor). Generically they are called MOSFETs, or sometimes MOS transistors.
 今日用いられている大半のトランジスタは電界効果トランジスタ(FET: Field Effect Transistor)である。大抵の FET は CMOS 製造技術によって形成される(CMOS: Complementary Metal-Oxide-Semiconductor)。一般的に、これらは MOSFETs あるいは MOS transistors と呼ばれる。
- **Compound/III-V Semiconductors** – Most semiconductors are silicon-based, but researchers continue to investigate other semiconducting materials with higher electron mobilities because they can be used to make faster devices. The tradeoff is that the materials are harder to work with than silicon. Compound semiconductors are made of two or more elements (e.g. GaAs, InP, GaN, etc.) which are generally found in groups III and V of the periodic table of the elements.
 現在主流となっている半導体はシリコンをベースとしているが、研究者は他の種類の半導体で高い電子移動度を有するものについても調査を続けている。より速いスイッチング速度を要求

するデバイスに対する応用可能性があるからである。ただし、それらの物質はシリコンよりも取り扱いが難しい。化合物半導体は二つ、もしくは三つの元素から構成されており、例えば GaAs (砒化ガリウム)、InP (インジウムリン)、GaN (窒化ガリウム) などがあり、これらは一般的には周期律表の III 族と V 族の元素 (一部に II 族-VI 族、IV 族-IV 族のものもある) から構成される。

- **DAC or Digital-to Analog Converter** – A device that converts digital data into an analog signal (current, voltage, or electric charge).
デジタル値をアナログ信号 (電流、電圧、電荷量) に変換する素子。
- **Dit** – This term stands for interface defect or its density. For MOSFET, Dit generally means the defects between channel and insulating oxide.
界面欠陥、及び界面欠陥密度。MOSFET の場合 Dit は一般にチャネルとゲート酸化膜界面の欠陥を指す。
- **DNN (Deep Neural Network)** – Neural network that has more than one layer of hidden units between its inputs and its outputs. Famous models include Convolutional Neural Network (CNN) and Recurrent Neural Network (RNN). The idea of realizing higher level functions by a neural network with multiple hidden layers was previously existing, but the convergence in the training using the traditional back propagation method was slow and the performance was insufficient. In recent years, the effectiveness of DNN was rediscovered thanks to the proposal of an effective training algorithm for multilayered neural networks and the significant performance improvement of computers. In addition, DNN has received a great deal of attention at the Image Recognition Contest (ImageNet Large Scale Visual Recognition Challenge) held in 2012 as a result of the overwhelming performance of research teams using DNN. For these reasons, research on utilization of DNN in various fields including image recognition, speech recognition, etc. is currently active. The machine learning algorithm using DNN is called deep learning.
Neural network の中間層を多層にしたもの。有名なモデルとして畳み込みニューラルネットワーク (Convolutional Neural Network: CNN) や再帰型ニューラルネットワーク (Recurrent Neural Network: RNN) などがある。NN を多層化することでより高級な機能を実現するというアイデアは古くから存在していたが、誤差逆伝搬法を用いた学習では収束が遅く、十分な結果が得られないという問題があった。これに対し、近年、多層ニューラルネットワークに対する有効な学習アルゴリズムが提案されたことと、計算機の大幅な性能向上により、その有効性が再発見されたこと、ならびに 2012 年に開催された画像認識コンテスト (ImageNet Large Scale Visual Recognition Challenge) において DNN を用いた研究チームが圧倒的な性能を達成して優勝したことで大きな脚光を浴び、現在、画像認識や音声認識等をはじめとする様々な分野における研究および具体的応用が活発となっている。DNN を用いた機械学習アルゴリズムのことを Deep learning (ディープラーニング、深層学習) と呼ぶ。
- **DRAM** – Dynamic random access memory stores information as charge on a capacitor that must be periodically refreshed. Dedicated DRAM chips form the bulk of the main memory for typical computers, tablets, and smartphones.
随時読み書き可能なダイナミックメモリは、情報を容量に電荷の形で保管するため、定期的によりフレッシュが不可欠である。一般的なコンピューター、タブレットやスマートフォンの主記憶の大部分は専用の DRAM により構成されている。
- **Dual-Polarized MIMO** – Dual polarized multiple-input, multiple-output is a method to increase the capacity of a wireless communication link by exploiting multipath propagation using both horizontal and vertical modes of polarization.
二偏波 MIMO (multiple input multiple output) は、偏波の水平モードと垂直モードの両方を使用する方式。多重波伝搬を利用することで、無線通信リンクの容量を増やすことができる。
- **ECoG** – Electroencephalography (ECoG) is a type of electrophysiological monitoring that uses electrodes placed directly on the exposed surface of the brain to record electrical activity from the cerebral cortex.
頭蓋骨内部の脳の皮質表面に直接接続した電極により皮質脳波を電氣的に直接モニタリングする方法
- **Effective Number of Bits (ENOB)** – Measure of the dynamic performance of ADCs, including noise and distortion effect, normalized to the performance of an otherwise ideal ADC with finite

resolution.

ADC の動的特性を表す指標で、信号中の雑音や信号歪による信号劣化を含んだ値で、ENOB 値で示される有限の解像度を有する理想 ADC の特性として正規化した値である。

- **Electroencephalogram (EEG)** – One of electric measurement methods to observe brain activity. Electrodes are placed on scalp or some other parts of the body and electric signals from the brain is amplified and observed. EEG includes both non-invasive and invasive methods.
脳波のこと。電氣的に計測した脳活動であり、頭皮上や脳上に配置した各種の電極と増幅・記録装置によって得られる。体を傷つけずに計測する非侵襲的な手法での計測と、外科手術を伴う侵襲的な手法での計測の両方を含む。
- **Electro Migration** – High density electron flow moves metal atoms in the interconnect due to momentum exchange between an electron and a metal atom. This phenomenon is called “Electro Migration”. In the worst case, this phenomenon causes void and turning into disconnection of the interconnect.
高い密度の電子が配線中を流れる際に、電子と配線金属原子の間の運動量交換により、金属原子が動く現象。これをエレクトロマイグレーションと呼んでいる。最悪の場合、配線内にポイドを発生し、配線の断絶につながる。
- **EOT or equivalent oxide thickness** – A distance to compare performance of high-k dielectrics with that of SiO₂ film. An SiO₂ film with the thickness of EOT has the same gate capacitance with the high-k material that is used. The higher k dielectrics can reduce EOT, which enhances the MOSFET performance.
等価酸化膜厚。高誘電率膜の能力をシリコン酸化膜と比較するための膜厚。EOT の膜厚を持ったシリコン酸化膜は、比較される高誘電率膜と同じゲート容量を持つ。比誘電率の高い誘電体ほど EOT を低減することができ、MOSFET の能力を向上することができる。
- **ESD** – Electrostatic discharge. A sudden release of static electricity between two object caused by contact. If the ESD hits the integrated circuit, it may cause the device to fail or reduce the lifetime. 静電気放電。静電気を持つ 2 つの物体を接触させたときの起こる放電現象。ESD が集積回路に当たると、デバイスの故障や寿命の低下を引き起こす。
- **EUV** – Extreme Ultra Violet. It is considered to next generation of light source used in a lithography process. EUV has smaller wave length (13.5 nm) than ArF (193 nm), finite patterning is possible using EUV.
極紫外光のこと。リソグラフィで用いる次世代光源と考えられている。EUV の波長(13.5 nm)は ArF(193 nm)よりも短いため、より微細なパターン描画が可能になる。
- **EVM** – Error vector magnitude is a measure used to quantify the performance of a digital radio transmitter or receiver and is analogous to metrics such as signal to noise ratio.
エラーベクトル振幅は、デジタル変調信号の送信機または受信機の性能を定量化する指標で、信号対雑音比などのメトリックに類似している。
- **FD-SOI** -- Fully depleted silicon on insulator is a process technology option that can offer speed and power advantages over conventional bulk silicon transistors.
完全空乏型の SOI。(SOI については SOI の項を参照のこと)トランジスタ下のシリコン層を完全に空乏化することで、より高速、低消費電力を実現する事ができる。
- **FinFET** – A transistor whose 3-D shape resembles a fin, usually with multiple gates surrounding it for better on/off switching control.
魚の背びれに似た形の 3 次元型トランジスタで、その形状を囲むようにゲート電極が配列されているもの。この構造によってオン/オフの制御特性が通常の平面型トランジスタよりも良好である。
- **Front-End/FEOL and Back-End/BEOL** – In integrated circuit manufacturing, transistors and other active devices are built first (at the front end of the manufacturing line or FEOL), while the interconnect, or the wiring, is built afterward, at the “back end” of the manufacturing line (BEOL).
Back-End/BEOL の項を参照のこと。
- f_i/f_{max} – Cutoff frequency (f_i) and maximum oscillation frequency (f_{max}) are benchmarks of high-frequency performance of transistors. f_i is the frequency when the current gain of transistors becomes unity. f_{max} is the frequency when the unilateral power gain becomes unity. From the view point of circuit performance, f_i tends to be more important for digital logic circuits. On the other

hand, f_{\max} tends to be more important for high-frequency analog circuits.

電流利得遮断周波数(f_t)と最大発振周波数(f_{\max})はトランジスタにおける高周波特性の指標である。 f_t は電流利得が1となる周波数であり、 f_{\max} はユニラテラル電力利得が1となる周波数である。回路性能の観点でみると、デジタル論理回路では f_t が重要視される傾向があるが、高周波アナログ回路では f_{\max} の方が重要とされる傾向がある。

- **Gate All Around (GAA) Transistor** – a MOS transistor in which a gate electrode is placed on all four sides of the channel or on all the surface of the wire-shaped channel.
ゲート電極がナノワイヤチャネルの下部にも潜り込み、チャネル全体を取り囲む構造をもつ MOS トランジスタ。FinFET よりも更に短チャネル効果の抑制に有効である。
- **Global shutter** – Method of capturing entire scene at single instant in time, rather than by scanning across the scene, like rolling shutter.
画面全体を、ローリングシャッタのように逐次的にスキャンすることなく、同一タイミングにて取得する手法。
- **Gm** – Transconductance. In MOSFET, Gm is defined as the change in the drain current divided by the small change in the gate/source voltage with a constant drain/source voltage.
相互コンダクタンス。MOSFET の場合、ドレイン・ソース間電圧が一定の状態における微小ゲート・ソース間電圧変位に対する電流変位で定義される ($G_m = \partial I_{DS} / \partial V_{GS}$)。
- **HEMT** – High Electron Mobility Transistor, also known as heterostructure FET (HFET) or modulation-doped FET (MODFET). A HEMT is based on a heterojunction which consists of two semiconductors with different band gaps (see also Compound/III-V Semiconductors). By choosing proper materials, the band discontinuity forms high-mobility two-dimensional electron gas at the hetero interface.
高移動度トランジスタ。ヘテロ構造 FET (HFET: Heterostructure FET) あるいは変調ドーピング FET (MODFET: Modulation-Doped FET) としても知られる。HEMT は異なるバンドギャップを持った 2 つの半導体からなるヘテロ界面を持ったデバイスである。適当な物質を選ぶことにより、このヘテロ界面に高移動度の 2 次元電子ガスが形成される。
- **Hysteretic control** – is a control method for DC-DC converters where a comparator monitors the output voltage and controls the power switch. This method is useful in applications like CPUs and FPGAs where rapid response against load current variation is required.
DC-DC コンバータ出力電圧をヒステリシス特性を持ったコンパレータでモニタし、その出力に応じてパワースイッチのオン・オフを制御する方式。CPU や FPGA など、高速な負荷過渡応答が必要な場合に有効な手法として用いられる。
- **HKMG, or High-k Dielectrics/Metal Gates** – A dielectric is an electrical insulator. “k” is the relative permittivity and is a measure of how well a material will prevent current flow between the gate electrode and the channel region of a field-effect transistor, while capacitively coupling the two to control on/off switching. In future CMOS integrated circuits (chips) the gate dielectric will need to provide capacitive coupling equivalent to that of a silicon-dioxide layer that is just a few atoms thick, to allow the length of the channel region to be scaled down to 10 nm and below. Metal gate materials are more compatible with high-k gate dielectrics than are traditional doped polycrystalline silicon material. Much progress has been made in recent years to integrate metal gates into the CMOS process flow for the manufacture of high-performance chips.
誘電体は電気的には絶縁物であって MOSFET、MOS キャパシタのゲート電極とチャネル部の間に配置される。“k”は比誘電率を示し、これの大きさによって MOSFET におけるゲート電極と基板間のリーク電流やゲート電極と基板間の容量カップリングが影響を受ける。近未来の CMOS 集積回路においてはシリコン酸化膜を基準にすると数 nm の薄さに匹敵するような容量値が必要とされ、これによってゲート長を 10 nm 以下にスケールリングすることが可能となる。一方、金属ゲート電極は伝統的に使用されてきたポリシリコンゲート電極よりも高誘電率材料と相性が良いことが知られている。ここ数年で高性能なチップを製造するために金属ゲート電極を CMOS プロセスに導入することに対して大きな進展があり、ハイパフォーマンスチップの CMOS 製造プロセスに用いられている。

- **HTOL** – High temperature operating life. A reliability test of evaluating life time of semiconductor device operating at actual condition with high temperature. It takes relatively longer time for this test so that the wear-out failure, not initial breakdown, is detected.
高温動作寿命試験。実際の動作条件での半導体素子の寿命を高温化で評価する。結果が初期不良に影響されず、半導体素子の使用による劣化が評価できるように比較的長時間をかけて試験が行われる。
- **IEEE 802.11ad** – A standard for ultra-high-speed wireless communication which uses millimeter wave (60GHz band)
60GHz 帯のミリ波を使用する超高速無線データ通信の規格。
- **IGZO** – Acronym for amorphous semiconductor consisting of Indium, Gallium, Zinc, and oxygen. インジウム (Indium)、ガリウム (Gallium)、亜鉛 (Zinc)、酸素 (Oxygen) から構成されるアモルファス半導体の略称。
- **III-V** – see Compound/III-V Semiconductors
Compound/III-V Semiconductors の項を参照のこと。
- **Instrumentation Amplifier (IA)** – A universal amplifier circuit block based on operational amplifier and some additional devices. It can be used to various measurement applications. 計装アンプと呼ばれ、通常はオペアンプをベースとした回路ブロックで、既定の増幅率や各種の性能を実現してある。
- **Integrated Circuit** – An electrical circuit comprising many interconnected elements (e.g. transistors, diodes, capacitors, resistors, inductors) built on a semiconducting substrate. 半導体基板上に組み上げられた電気的回路であって、多数の素子(例えばトランジスタ、ダイオード、容量素子、抵抗素子、インダクタなど)が配線で結ばれているものを指す。
- **Interconnect** – The metal lines, or wiring, connecting transistors and other circuit elements. See **Back-End/BEOL**.
金属の線、もしくはワイヤーでトランジスタと他の回路素子とを結んでいるもの。金属配線のこと。Back-End/BEOL のところも参照のこと。
- **Interposer** – An electrical interface between chips or between socket and chips. The purpose of an interposer is to connect chips and sockets with different I/O terminals.
インターポーザー。チップ間、もしくはソケットとチップ間の電気的なインターフェース。インターポーザーの役目は異なる入出力端子を用いたチップやソケットを結合することである。
- **Known good die (KGD)** – A die which is known as a good die by testing. Sometimes, multiple chips like a logic, a memory, and a communications chips are mounted in one package as one module. If one of chips in a module has a failure, a whole module is classified as a failed and other good chips in a same module will be wasted. To improve the yield of a module and reduce number of wasted chips, it is important to select KGD before integrating chips into a module.
テストによってあらかじめ良品であることがわかっているチップ(ダイ)。ロジック、メモリ、通信用 RF チップなど複数のチップを 1 つのパッケージに搭載しモジュール化することがある。この際、どれか一つのチップでも故障品があると、モジュール化した際にモジュール全体が不良品となってしまう、正常品である他のチップまで無駄になってしまう。モジュールの歩留まりを上げ、無駄になるチップを減らすためにはモジュール化する前に KGD を選別しておくことが有効である。
- **LiDAR** – An acronym representing “light detection and ranging” is a method of measuring distance to a target by illuminating with laser light and measuring the differences in return times and/or wavelengths of the reflected light with a sensor.
「レーザー光による検知と測距」の頭字語。レーザー光を照射し、センサーで反射光の戻り時間や波長の違いを測定することにより、ターゲットまでの距離を測定する方法である。
- **Linear Voltage Regulator** – Maintain a steady voltage by changing output resistance according to load current. It requires a higher input voltage than output voltage and normally results in lower efficiency than a switching regulator.
負荷電流に応じて出力抵抗を変化させることで一定電圧を保持する電源回路。出力電圧に対して高い入力電圧が必要かつ一般的にはスイッチングレギュレータなどと比較して電力効率が低い。

- **Link budget** – A difference between TX power and RX sensitivity, which is a metric for wireless communication range.
リンク・バジェットは 送信電力と受信感度の差。無線通信可能な距離の指標となる。
- **Low-k Dielectrics/Interconnect** – Interconnect refers to the metal wires that connect elements together in an integrated circuit (chip). The close proximity of adjacent wires can result in capacitance that can limit chip performance. A low-k dielectric electrically insulates the copper lines while minimizing their mutual capacitance; however, these materials are generally more fragile and thus pose challenges for manufacturing.
Interconnect は金属配線のことで、これは集積回路内(チップ内)の各素子を結んでいる。スケールリングが進み、隣接する金属配線同士が接近するとこの両者間の寄生容量が無視できなくなり、これがチップの性能を律速する。したがって低誘電率材料を用いてこれらの銅線を電氣的に絶縁しながら配線間容量を低減することが試みられている。ただし、これらの低誘電率材料は一般的には壊れやすく、実際に量産するに当たっては難しい局面もある。
- **Magnetic core** – is a piece of magnetic material with a high magnetic permeability used to confine and guide magnetic fields used in devices such as inductors and transformers.
透磁率の高い材質でできており、インダクタやトランスフォーマなどの芯に配置すると磁束の閉じ込めによって実行的なインダクタンス値を増加させることができる。
- **MCU** – Microcontroller unit. Microcontrollers typically contain a processor core, memory, and input/output peripherals and are designed for embedded applications.
マイクロコントローラユニット。マイクロコントローラは一般的にプロセッサコア、メモリ、周辺入出力 I/O を含んでおり、組み込みアプリケーション向けに設計される。
- **MEMS** – A micro-electro-mechanical system, containing micrometer-scale moving parts.
マイクロ・エレクトロ・メカニカル・システムのことで、マイクロメートル程度の大きさの機械的な可動部を持つ部品を指す。スイッチや可変キャパシタ、各種センサーなどがこの MEMS で構成されている。
- **MONOS** – A non-volatile memory element with metal gate-oxide-nitride-oxide-silicon channel multilayer structure. The data or the charges are stored in charge traps in the nitride layer, and the data is read out by the amount of the current flowing through the channel.
メタルゲート-酸化膜-窒化膜-酸化膜-シリコンチャンネルの多層構造で構成され、窒化膜内の電荷トラップに電荷を蓄積してデータを記憶し、チャンネルを流れる電流量としてデータを読み出す不揮発性メモリ素子。
- **N(P)BTI** – Negative (Positive) Bias Temperature Instability. The phenomenon happened in PFET (NFET) when negative (positive) bias is continuously applied to the gate and kept with high temperature. The absolute value of threshold voltage increases with bias applied time.
負(正)バイアス温度不安定性。本現象は高温状態で P(N)型トランジスタのゲートに連続的に負(正)バイアスを印加した場合に発生する。しきい値の絶対値がバイアス印加時間と共に増大する。
- **Neural Network** – A mathematical model aimed at mimicking the characteristics of brain function by computer simulation. It is composed of an input layer, a hidden layer, an output layer and a wiring connecting each unit. Each wire has a parameter called connecting weight. Units of each layer have a function of inputting data multiplied by connecting weight to data propagating from a number of units of the former layer, and outputting results applied to a predetermined function (activation function). A method of applying a test dataset of input-output pairs and finding a suitable set of connecting weights which gives a target function is called supervised learning. In supervised learning, an algorithm called back propagation is generally used. By applying the set of connecting weights obtained by supervised learning, it is possible to obtain a function which gives desired input-output relation.
脳機能の特性を計算機上のシミュレーションによって表現することを目的とした数学的モデル。複数のユニットから成る入力層、中間層、出力層、および入力層～中間層と中間層～出力層の各ユニット間を繋ぐ配線によって構成され、配線には結合荷重と呼ばれるパラメーターが与えられる。各層のユニットは、前層の複数のユニットから伝搬するデータに結合荷重をかけ合わせたものを入力とし、あらかじめ与えられた関数(活性化関数)に適用した結果を出力する機能を

持つ。幾つかの入力例と各入力に対する目標出力を与え、目標出力と実際の出力が一致するように結合荷重を調整する方法を教師あり学習と呼ぶ。学習においては一般的にバックプロパゲーション(誤差逆伝搬法)と呼ばれるアルゴリズムが用いられる。学習によって得られた結合荷重を用いることで、入力ユニットにデータを与えたときに所望の出力が得られるような機能を得ることができる。

- **N-FET/P-FET or NMOS/PMOS** – MOSFETs come in two varieties (n-channel or p-channel) which operate in a complementary fashion.
MOSFETはn型チャネル(電子がキャリアとなる)とp型チャネル(ホールがキャリアとなる)の2種類があり、両者を組み合わせて相補的に使われる。
- **Non-volatile memory (NVM)** – A type of computer memory that retains its stored information even when the power is off.
不揮発性メモリのこと。電源電圧が印加されていなくても蓄積されているデータが失われないタイプのコンピューター記憶装置のことを言う。
- **On-Off-Keying (OOK)** – A modulation scheme of data communication. Carrier amplitude is directly modulated between one and zero depending on baseband data. Simple envelope detector can be used for demodulation and suited for low power transceiver.
データ通信における変調方式の一つ。搬送波の振幅がベースバンドデータに応じて、直接1か0に変調される。包絡線検波で復調できるため、低電力送受信機に向いている。
- **Ovonic Threshold Switch** – A type of two terminals switch which turns on at the exact applied voltage (threshold voltage). It is used as a selector switch of 3 dimensional cross point memory array to suppress unintended leakage from unselected cells.
特定の電圧(しきい値)を印加することによりオンする2端子型スイッチ素子の1種。3次元クロスポイント型メモリアレイにおいて、非選択セルからの意図しないリーク電流を抑制するために用いられる。
- **PAM4** – 4-level pulse amplitude modulation. In communication, the data is represented as one of four discrete levels. This means that each symbol can encode two bits of data instead of the conventional 1 bit/symbol. For the same symbol rate and bandwidth, this doubles the data throughput.
4値のパルス振幅変調方式。通信分野において、データは電圧レベルの離散値の1つとして表現される。つまり従来型の1シンボルあたり1ビットであるのに対し、4値の各シンボルは2ビット/シンボルにエンコードすることができる。同じシンボルレート、帯域幅では、2倍のスループットを得ることができる変調方式。
- **Phase-Change Memory/PCM** – Phase-change materials have crystalline and non-crystalline states which are used to represent the digits “0” or “1” in a non-volatile memory. Electrical current is used to toggle between the two states – heat from the current causes the material to change its state.
相変化型メモリのこと。これは結晶状態と非結晶状態を"0"と"1"に割り当ててメモリとするもので、不揮発性メモリの一種。電流を流すことによって生じた熱によって物質の状態が変わり、この"1"、"0"の2つの状態を切り替えることができる。
- **Power Efficiency Factor (PEF)** – A metric to characterize amplifiers. It is typically used to compare neural signal amplifiers. It can be used to show how small power consumption the amplifier is, comparing with its performance.
増幅器の性能指数として利用されているもので、アンプの性能に対してどれくらい省電力できているかの目安となる。生体や神経の計測アンプの比較に利用されることが多い。
- **Pulse Frequency Modulation (PFM) control** – is a control method where the pulse frequency is changed, being different from pulse width modulation (PWM) control where the frequency is constant and only the pulse width is changed. In DC-DC converters, this control method can achieve better power conversion efficiency in light load conditions than PWM control.
周波数一定の元でパルス幅を制御するPWM方式に比べ、周波数も可変にする制御方式であり、DC-DCコンバータの低負荷時の効率を上げるのに有効な制御手法。
- **QAM** – Quadrature Amplitude Modulation is a digital modulation method which conveys information based on both the amplitude and phase differences of a carrier signal.

直交振幅変調は、キャリア信号の振幅と位相の両方の差に基づいて情報を伝達するデジタル変調方式。

- **Quantum Bit (Qubit)** – In quantum computing, a qubit or quantum bit is a unit of quantum information. A qubit is a two-state quantum-mechanical system.
量子ビットとは、量子情報の最小単位のことである。量子情報では、従来の情報の取扱量の最小単位であるビットの代わりに、情報を量子力学的 2 準位系の状態ベクトルで表現する。古典ビットは 0 か 1 かのどちらかの状態しかとることができないが、量子ビットは、0 と 1 だけでなく 0 と 1 の状態の量子力学的重ね合わせ状態もとることができる。
- **Quantum Dot (QD)** – Very small semiconductor particles, only several nanometers in size, so small that their optical and electronic properties differ from those of larger particles. Quantum dots exhibit properties that are intermediate between those of bulk semiconductors and those of discrete molecules.
量子ドットとは、3次元全ての方向から移動方向が制限された電子の状態のこと。量子ドットは、半導体などの物質の励起子が三次元空間全方位で閉じ込められている。その結果、そのような物質はバルク半導体と離散分子系の間隔的な電子物性を持つ。
- **ReRAM or RRAM** – Resistive random-access memory. A non-volatile random access memory that stores the binary digit by changing the resistivity of material between electrodes.
抵抗変化型メモリのこと。なんらかのパラメータ変化によって生じる素子の抵抗変化をデータ蓄積の目的に用いた不揮発性メモリの一種。
- **Rivest–Shamir–Adleman (RSA)-4K** – A public-key cryptosystem widely used for secure data transmission with a 4096 bit key.
4096 ビットの鍵を使用した公開鍵暗号システム。セキュアなデータ送信に広く使用されている。
- **ROI (Region of Interest)** – A ROI is the region which defines the borders of an object under consideration. When capturing the image, individual points of interest can be observed and evaluated.
関心のある領域、対象領域のこと。イメージングで観察/測定する領域を絞ることがあり、その特定の領域を示す。
- **SAR ADC** – A successive approximation ADC is a type of analog-to-digital converter that converts a continuous analog waveform into a discrete digital representation via a binary search through all possible quantization levels before finally converging upon a digital output for each conversion.
逐次比較型 ADC は、連続的なアナログ波を離散的なデジタル値に変換する ADC の一種。変換では、すべての可能な量子化レベルをバイナリ検索しながら最終的なデジタル出力に収束させる。
- **SCA** – Side-channel attack is an attack based on information gained from the implementation of a computer system to gain access to cryptographic keys or other information that would weaken or allow access to the encrypted data.
サイドチャネル攻撃は、コンピュータシステムの動作時の消費電力や電磁放射ノイズ等の物理情報を外部から観測することによる、セキュリティ攻撃手法の一つ。暗号化キーやその他の情報(データの暗号化を弱める、もしくは暗号化されたデータへのアクセス許可する)を盗み取することを目的とする。
- **Scaling/Density/Integration** – Scaling is making transistors and other circuit elements smaller so that more of them will fit on a chip. A denser chip contains more transistors in a given area. Integration is combining circuit elements on a chip to add more functions to achieve lower cost per function.
Scaling(スケーリング)とはトランジスタや他の回路素子を小さく形成して、一つのチップ上において多くの部品の搭載を可能にすることを指す。Density はチップ上に載っているトランジスタの密度で、これが大きいほど多くのトランジスタが搭載されている。また、Integration(インテグレーション)は回路素子をチップ上に形成して機能をたくさん追加することを示す。多くの機能が詰め込まれれば、機能あたりのコストは低減される。
- **Seebeck effect** – The effect of converting temperature difference between two sides of material into generated voltage difference between two sides of material.

物質の両端に温度差を与えると、両端に電位差を生じる効果のこと。

- **Semiconductor** – A material that can be made to conduct or to block the passage of electrical current, giving the ability to store and process information.
半導体のこと。半導体は金属ほど電気抵抗が低くないが、絶縁体よりは電気抵抗が低い材料で、その電流を流したりブロックしたりすることでデータを蓄積したり、情報を処理したりする。
- **SER** – Soft Error Rate. When a neutron from space or alpha ray from a package hits a device in a semiconductor chip, charge is generated in a device. This generated charge has possibility to cause flip of stored data. This phenomenon is called soft error and soft error rate is rate at which a semiconductor device encounters.
ソフトエラー率。宇宙から飛来する中性子やパッケージからのアルファ線が半導体素子内の素子に衝突すると、電荷を発生する。発生した電荷は、素子内に保存されているデータを反転させることがある。この現象をソフトエラーと呼び、ソフトエラー率はデバイスがソフトエラーを発生させる確率である。
- **SFDR** – Spurious Free Dynamic Range is a standard metric for analog-to-digital converter and digital-to-analog converter. SFDR indicates in dB the ratio between the powers of the converted main signal and the strongest spurious signal.
SFDR はADCやDAC用の標準的な測定基準。変換された主信号のパワーに対する最も大きなスプリアスのパワーの比をデシベル単位で示す。
- **SFQ logic** – Single-Flux-Quantum logic is a cryogenic based computing technique which represents binary information based on the presence or absence of a Single-Flux-Quantum in superconducting rings containing Josephson Junctions.
単一磁束量子ロジックは、極低温ベースのコンピューティング技術。ジョセフソン接合を含む超伝導リング内の単一磁束量子の有無に基づいてバイナリ情報を表現する。
- **SNDR** – Signal-to-noise and distortion ratio is a standard metric for analog-to-digital converter and digital-to-analog converter. SNDR indicates in dB the ratio between the powers of the converted main signal and the sum of the noise and the generated harmonic spurs.
SNDR はADCやDAC用の標準的な測定基準。変換された主信号のパワーに対するノイズと歪成分を合わせたパワーの比をデシベル単位で示す。
- **SoC** – A system-on-a-chip. An integrated circuit which integrates all necessary components of a computer or other electronic system on a single chip.
システムオンチップ。1つのチップの上にコンピューターや電子システムに必要なすべての素子を集積した物。
- **SOI** – A silicon-on-insulator substrate, used to reduce parasitic capacitance and thereby improve integrated circuit performance.
"Silicon-on-Insulator"の略。日本語でも SOI(エス・オー・アイもしくはソイ)、シリコン・オン・インシュレーターと言っている。半導体基板の上に絶縁膜を形成し、その上にさらに半導体層が構成されているもので、主としてその上部の半導体層中に回路素子を形成する。トランジスタの寄生容量が小さいので集積回路の性能向上に用いられる。
- **Silicon-on-Thin-Box (SOTB)** – A logic transistor process technology in which the body is formed on the thin buried oxide. SOTB devices have advantages such as small V_{th} variation and low V_{dd} operation with dopant-less channel structure by Box (buried oxide) layer, contributing to energy reduction of logic circuits.
薄い埋め込み酸化膜 Box の上にボディが形成されるロジック向けトランジスタプロセス技術。Box 層によってチャネルにドーパントが不要になるため、論理しきい値の変動が抑えられ低電圧で動作するため、論理回路のエネルギー削減に寄与する。
- **Strained silicon & SiGe stressors** – Silicon is said to be “strained” when its atoms are pulled farther apart or closer together than normal. Doing so alters the ease with which electrons flow through the silicon, enabling transistors built with it to operate faster and/or at lower voltage. The external **stressors** which impart strain are materials with slightly different atomic spacing than silicon. For example, a common way to compressively strain the channel region of a p-channel silicon field-effect transistor is to embed silicon-germanium (SiGe), which has larger atomic spacing than does Si, in its source and drain regions.

シリコンがひずみを受けている状態というのは、シリコン原子が互いに引っ張られて原子間距離が大きくなっている状態(ひっぱりひずみ, tensile)と逆にシリコン原子が互いに押されて原子間距離が小さくなっている状態(圧縮ひずみ, compressive)の2つの状態がある。トランジスタのチャネル部のシリコンがこのようなひずみを受けるとキャリアの移動度が変調されてトランジスタが低電圧動作時でもより高速になる場合がありえる。外部ストレッサーと呼ばれるものがあり、シリコン結晶と格子定数が少し異なる材料をシリコンにエピタキシャル成長させることでシリコン領域にひずみを印加することができる。例えば圧縮ひずみを p チャネルシリコン FET のチャネル領域に加えるために、シリコンよりも大きな格子定数を持つシリコンゲルマニウム合金を S/D 領域にエピタキシャル成長させることがよく行われている。

- **SRAM** – A type of computer memory (static random access memory) that uses six or more transistors to store each bit of information. It can be written to and read from very quickly. SRAM(Static Random Access Memory) はコンピューターに用いられるメモリの種類で、普通 6 つもしくはそれ以上のトランジスタからなる回路で一つのセルが構成される。読み書き速度は高速だが、電源を切るとデータは消去される。
- **SS** – Subthreshold Swing. SS is defined as a reciprocal value of a logarithmic slope in MOSFET Id-Vg characteristics. A smaller SS is better in device switching. The unit is given as [mV/dec], and 60 is a theoretical minimum value in the conventional MOSFETs at room temperature. サブスレッショルドスイング。MOSFET における Id-Vg 特性の傾きの逆数で定義され、小さいほどスイッチング特性が良いことを示す。単位は[mV/dec]、理論的な最小値は室温で 60 となる。
- **STT-MRAM** – Spin torque transfer magnetic random access memory is an emerging type of non-volatile memory that operates according to the “spin” state of electrons, not their electric charge. STT-MRAMs can be made extremely small. 不揮発性メモリ素子の一種で磁気抵抗変化をデータ蓄積に用いた RAM。基本的に MRAM セルはドライバートランジスタと磁気トンネル接合(MTJ)から構成される。MTJ の抵抗は MTJ 内部の磁性薄膜のスピン状態に依存して変化し、そのスピン状態は外部磁場、もしくはスピン分極した電子によって形成される電流で制御される。後者の場合、スピントランスファートルク(STT)がスイッチングの主因となる。STT-MRAM は高速かつ低消費電力の次世代メモリとして期待されている。
- **TDC, or Time-to-Digital Converter** – A device for recognizing events and providing a digital representation of the time they occurred. イベントを認識し、それが発生した時間に対応するデジタル値を与える素子。
- **Ternary content-addressable memory (TCAM)** – Content-addressable memory is a specialized memory capable of searching a word in the entire contents. “Ternary” refers to capability of storing and querying “X” don’t care, in addition to 0 and 1. 連想記憶は、記憶領域全体の中から特定のワードを検索する特殊メモリである。”三値”とは、0/1 に加えて、“X” (ドントケア)を保持、検索可能であることを意味する。
- **Time-of-Flight (ToF) ranging system/method** – A system/method that measures a distance by measuring a period from a signal launch time to its detection by reflected by an object. In image sensor based systems, the signal is light pulses. In ToF CIS systems, since all pixels must be synchronously driven to the light sources, the global shutter function is indispensable. 信号が発信から受信までの時間を測定することによって、信号を反射する対象物までの距離を測定するシステムは方法。イメージセンサを用いた測距システムの場合、上記信号は光パルスである。また、ToF CIS システムにおいては、前画素を同時に信号と同期する必要があることから、グローバルシャッター機能が不可欠である。
- **Transistor** – A tiny electrical switch that serves as the building block for integrated circuits. It has no moving parts and is made with a semiconductor material, usually silicon. Transistors can be ganged together by the billions on chips and programmed to receive, process and store information, and to output information and/or control signals. トランジスタは半導体集積回路を構成する小さな電氣的なスイッチ。スイッチと言っても可動部は無く、半導体材料、大抵はシリコン製であって、FET の場合はゲート電極に印加する電圧によってチャネル領域中の反転層の状態を制御しドレイン電流をスイッチする。トランジスタは一つ

のチップ内に何百万もの数が詰め込まれており、情報の受領、処理、蓄積、また情報や制御信号の出力を行うようにプログラムされている。

- **TSV** – Through silicon vias. TSVs provide a connection from the top to the bottom of a silicon die, allowing vertical interconnections for 3-D stacking of dies.
シリコン貫通電極のこと。TSV はシリコン・ダイのトップからボトムまでを電氣的に接続し、ダイの3次元積層のための垂直配線を可能にする。
- **UWB** – Ultra-wideband radio is wireless communication that operates in the 3.1-10.6 GHz band using a minimum of 500MHz of bandwidth, typically with very low average radiated power density.
超広帯域無線(Ultra-wideband radio)は 3.1 – 10.6GHz 帯において最低 500MHz 以上の帯域を使用、かつ極低放射電力密度により動作する無線通信のこと。
- **2T-MONOS** – A memory consisting of a MONOS-structure memory element and a select transistor. (see MONOS.)
MONOS 構造のメモリ素子と選択トランジスタから成るメモリ。(MONOS を参照)
- **2.5D, 3D Integration** – Both are packaging technique to integrate multiple chips in one package. In 3D integration, multiple chips are stacked in vertical direction and these chips are electrically connected by micro-bumps and TSV. This technique is actually used in DRAM stacking and CMOS image sensor/control logic chip stacking. The technical challenges are that chips in a stack are suffered from heating of a high performance chip, and TSV should be formed in each chip. In 2.5D integration, an interposer made of silicon or resin with interconnect structure is prepared. Chips are mounted on an interposer in a horizontal direction. By using this technique, heating issue is reduced and TSV does not need to be formed in each chip.
共に複数チップを1つのパッケージに搭載する技術。3D Integration では複数チップを縦方向に積層し、チップ間はマイクロバンプや、TSV を用いて電氣的接続をとる。DRAM の積層や CMOS Image Sensor と制御用ロジックチップの積層において適用事例がある。課題は積層されるチップの中に、High Performance Computing 用のロジックチップなど消費電力が大きなチップがあると上下に積層されたチップも発熱の影響を受けることと、各チップ間で導通を取るためにチップに TSV を貫通させなければならないことである。一方 2.5D Integration ではシリコンや樹脂で出来たインターポーザーに配線構造を形成し、その上に横に並べる形で複数チップを搭載する。これにより熱の問題を抑制でき、各チップに TSV を形成する必要がなくなる。