



## 2023 Symposium on VLSI Technology and Circuits 하이라이트

2023 VLSI Technology and Circuits 심포지엄은 마이크로/나노 반도체 집적 기술의 발전, 진화 및 혁신을 기록하는 대표적인 국제 학회로 오는 2023년 6월 11일부터 16일 까지 개최될 예정으로, 인적 교류의 기회를 제공하기 위해 일본 교토의 Rihga Royal Hotel 에서 대면으로 개최된다.

본 심포지엄은 "지속 가능한 미래를 위한 Technology & Circuits 의 재도약"이라는 주제로 진행되며, 우리 국제 사회가 인간의 소통 방식을 변화시키는 스마트 기기 및 기반 시설과 시스템을 위한 새로운 시대로의 전환을 알릴 첨단 반도체 기술 개발, 혁신적인 회로 설계 및 응용 분야가 발표된다.

이번 심포지엄의 주제를 잘 보여주는 주요 논문들을 소개한다.

### Joint Technology and Circuits Highlights

반도체 기술과 회로설계 분야의 융합적 연구 성과를 보여주는 주요 논문은 다음과 같다.

#### Processors

*"E-Core Implementation in Intel 4 with PowerVia (Backside Power) Technology" – Intel Corp. (Paper T1-1)*

Intel 은 효율적인 backside power delivery 기술인 PowerVia 기술\*과 PowerVia 기술을 통한 Intel E-Core 구현을 보고한다. PowerVia 기술은 무어의 법칙 스케일링을 확장하는 새로운 혁신 기술로, 코어의 넓은 영역에서 표준 셀 활용률이 90%를 넘어서며, IR 드롭 감소로 인해 실리콘에서 5% 이상의 주파수 이득을 제공한다. 성공적인 포스트 실리콘 디버깅은 약간 높지만 납득 가능한 처리 시간으로 입증되었다. PowerVia 테스트 칩의 열 특성은 로직 스케일링에서 예상되는 높은 전력 밀도에 부합한다.

\* PowerVia 기술은 세션 T6-1 에서 발표 예정

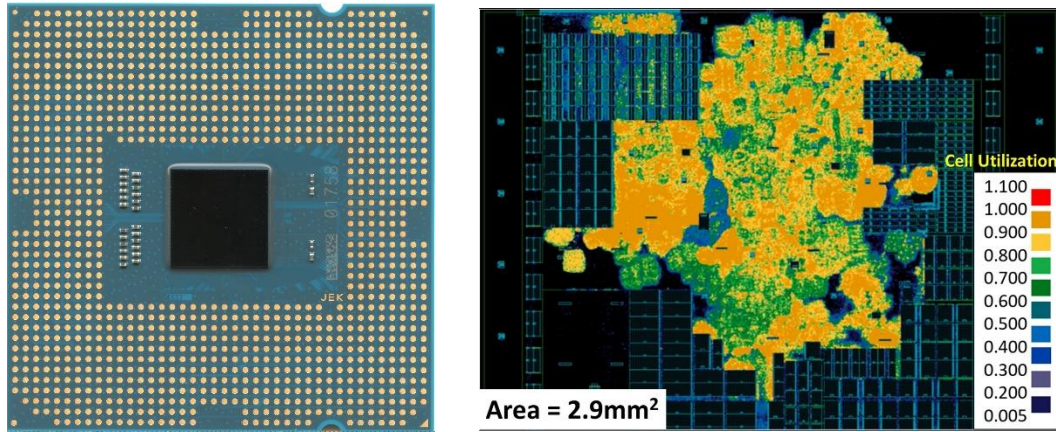


그림: (좌) PowerVia 를 적용한 Intel 4 의 다이 사진. (우) 셀 밀도 도면.

## Devices and Accelerators for Machine Learning

*“Chip Demonstration of a High-Density (43Gb) and High-Search-Bandwidth (300Gb/s) 3D NAND Based In-Memory Search Accelerator for Ternary Content Addressable Memory (TCAM) and Proximity Search of Hamming Distance” – Macronix International Co., Ltd. (Paper T15-1)*

Macronix 는 96 레이어 3D NAND 제품 기반 고밀도(43Gb) 인-메모리 검색 칩을 제시한다. 새로운 String-Select Line 설계는 400mW 미만의 전력으로 300Gb/s 검색 대역폭을 달성하여 정확한 TCAM 및 근접 해밍 거리 검색을 가속화하였다.

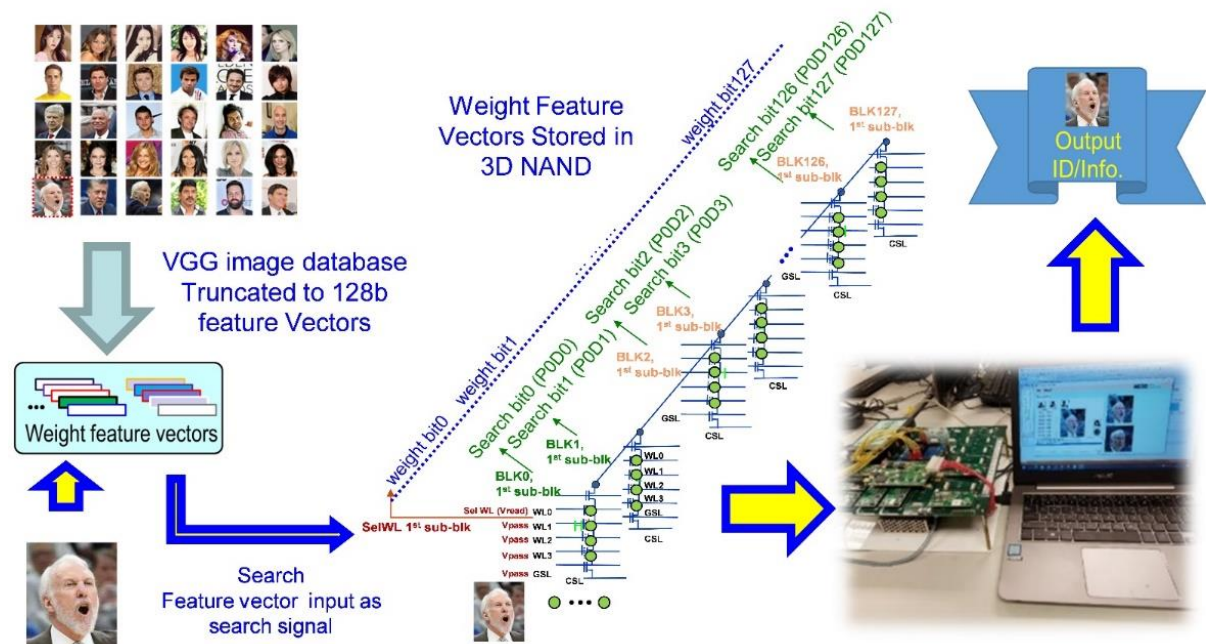


그림: IMS 작동의 처리 흐름. 시연을 위해 공개 얼굴 인식(VGGFace2 database)을 사용한다. 특성 벡터(이 경우 128b)가 추출되어 칩에 저장되었다. 데이터 쿼리의 경우, 검색 데이터가 칩에 입력되고 칩은 결과와 일치하는 BL 주소를 직접 계산할 수 있다.

# Technology Highlights

## Advanced CMOS Technology

*“World’s First GAA 3nm Foundry Platform Technology(SF3) with Novel Multi-Bridge-Channel-FET (MBCFET) Process” – Samsung Electronics Co. Ltd. (Paper T1-2)*

이 논문은 FinFET 에서 촉망받는 GAA(Gate-All-Around) 트랜지스터 아키텍처로의 전환에 대해 기술적 디테일들을 보고한다. 삼성은 4nm FinFET 플랫폼 대비 속도 22%, 전력 34%를 향상시키고, 로직 면적을 21% 줄이는 세계 최초의 GAA 3nm 파운드리 플랫폼 기술 SF3 을 공개한다. SF3 기술은 업계 최초로 대량 생산된 GAA(SF3E)의 업그레이드 버전이다. MBCFET™(Multi-Bridge-Channel FET)의 독자적인 공정 설계를 통해 SF3 은 고정된 표준 셀 높이에서 유사한 성능을 가진 다양한 나노시트 너비를 제공하여 FinFET 플랫폼 대비 칩 레벨 전력-성능 매트릭스를 크게 향상시킨다.

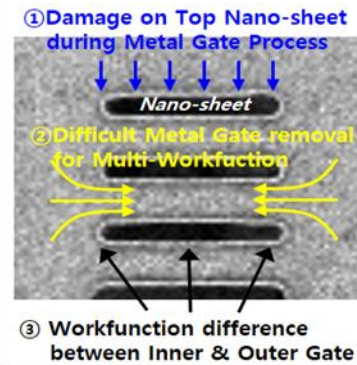
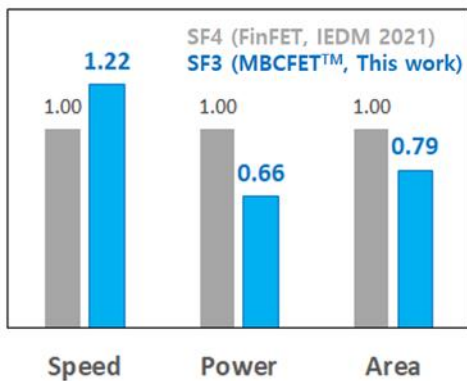


그림: (좌) 이전 4nm FinFET(SF4)과 세계 최초의 3nm SF3 GAA (MBCFET™)의 성능/전력/면적 (PPA) 비교. (우) 독자적인 공정 최적화를 보여주는 MBCFET™ 단면도.

## Advanced CMOS Technology

*“Nanosheet-based Complementary Field-Effect Transistors (CFETs) at 48nm Gate Pitch and Middle Dielectric Isolation to enable CFET Inner Spacer Formation and Multi-Vt Patterning” – imec (Paper T1-3)*

imec 은 48nm 게이트 피치, 소스/드레인(SD) 및 SD 콘택이 상단 및 하단 장치에 형성된 실리콘 나노시트 모놀리식 CFET(Complementary Field-Effect Transistor)에 대해 보고한다. 30nm 수직 N-P 공간에서의 SD epi 패터닝 및 높은 종횡비 SD 콘택 형성이 성공적으로 입증되었다. 모놀리식 CFET 는 NFET 의 경우 70mV/dec., PFET 의 경우 75mV/dec.의 양호한 subthreshold 스윙 값을 가진다. SiGe 치환 공정으로 형성된 중간 유전체 격리(MDI)를 통해 모놀리식 CFET 내부 스페이서 형성 및 멀티 V<sub>T</sub> 패터닝이 구현되었다.

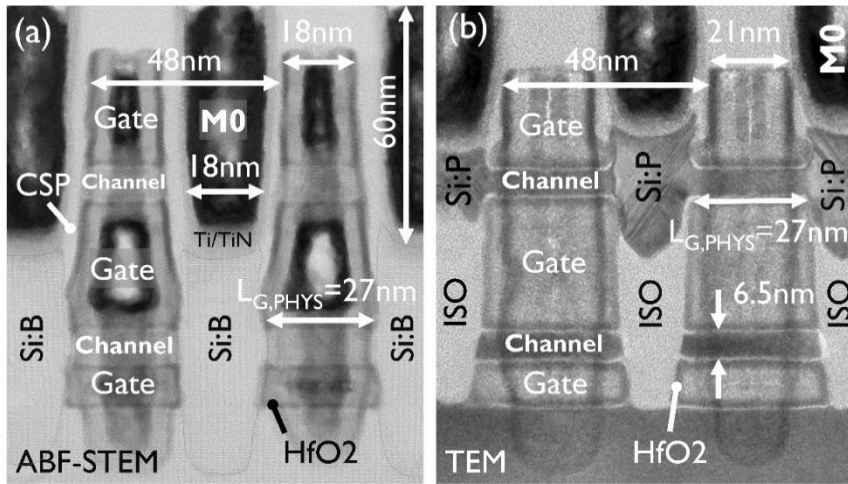


그림: (a) pFET 의 하단 및 (b) nFET 의 상단 단면도.

### Advanced Process and Materials

“Scaled Contact Length with Low Contact Resistance in Monolayer 2D Channel Transistors” –Taiwan Semiconductor Manufacturing Company, National Yang Ming Chiao Tung University, Nanjing University, National Cheng Kung University (Paper T1-4)

TSMC 가 주도하는 연구 협력을 통해 Sb-MoS<sub>2</sub> 시스템에서 축소된 콘택의 길이에서 낮은 접촉 저항을 구현하는 방법이 검증되었다. 이것은 2 차원 전이금속 칼코젠 화합물(2D TMD)을 사용하는 극도로 축소된 로직 트랜지스터를 실현하는 데 중요한 요소이다. 2D TMD 는 극도로 축소된 로직 트랜지스터를 구현할 것으로 기대되며, 이러한 공격적인 축소에는 콘택 길이의 감소도 필요하다. 제안된 TCAD 모델은 실험 데이터로 검증되었으며, 콘택 길이 15nm 에서  $R_c$  250Ω-μm 수준이 될 것을 추정할 수 있다.

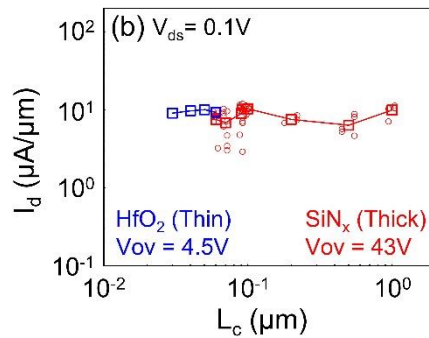
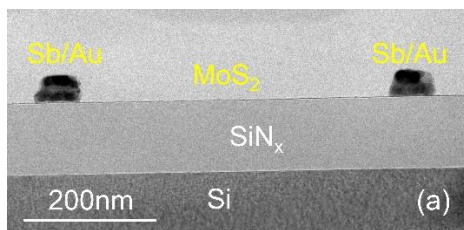


그림: 콘택의 투과 전자 현미경(TEM) 이미지 (a) 및 광범위한  $L_c$ 에서의 전류 밀도.

## Advanced Process and Materials

*“Contact Cavity Shaping and Selective SiGe:B Low-Temperature Epitaxy Process Solution for sub $10^{-9}$  ohms.cm<sup>2</sup> Contact Resistivity in Nonplanar FETs” – Applied Materials, IBM Semiconductor Technology Research (Paper T1-5)*

Applied Materials 와 IBM 은  $2 \times 10^{21}$  atoms/cm<sup>3</sup> 의 활성 붕소 도핑 수준을 지원하는 콘택 공동 형성(contact cavity shaping) 공정을 개발하기 위해 협력하였다. 이를 위해 300mm 웨이퍼의 콘택 모듈에서 반응성 이온 식각(RIE)과 선택적 고농도 SiGe:B 에피택시 공정을 함께 최적화하였으며, 기록적으로 낮은 11ohm.μm 의 트랜지스터 접촉 저항을 보여주었다. 이 공정은 트랜지스터의 median 특성 기준, 44%, 최고 성능의 트랜지스터에서 19%의 전류 성능 향상을 실현하였다.

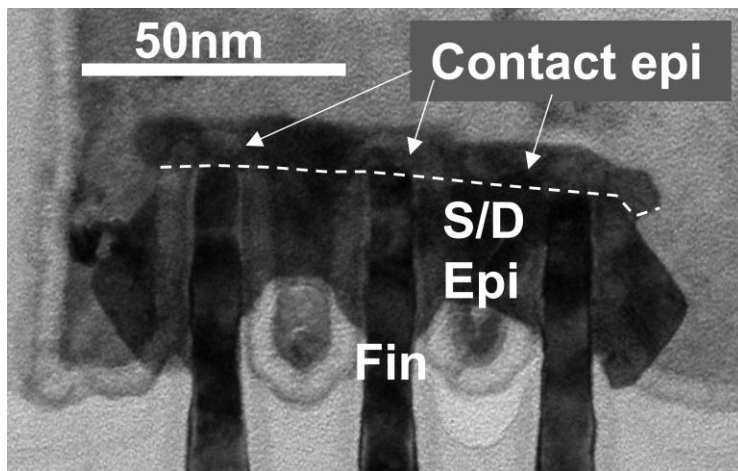


그림: 콘택 트렌치를 따라 자른 FinFET 소자의 TEM 단면도, 콘택 에피택시층의 연속적인 성장을 보여준다.

## Advanced Process and Materials

*Beyond 10um Depth Ultra-High Speed Etch Process with 84% Lower Carbon Footprint for Memory Channel Hole of 3D NAND Flash over 400 Layers. – Tokyo Electron Miyagi Ltd. (Paper T3-2)*

Tokyo Electron Miyagi 는 3D NAND 플래시 메모리 소자를 위한 극저온 및 새로운 무탄소 화학을 사용하는 고종횡비 홀 패터닝을 위한 새로운 식각 공정을 개발한다. 이 기술은 10μm 깊이의 식각 성능과 매우 짧은 공정 시간(33 분), 84%의 온실 가스 배출 감소를 보이며, 우수한 식각 프로파일을 달성하였다.

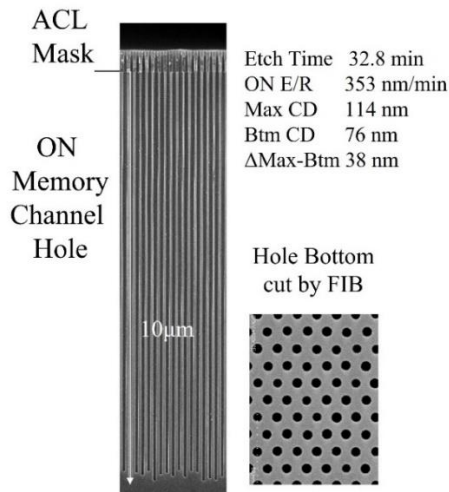
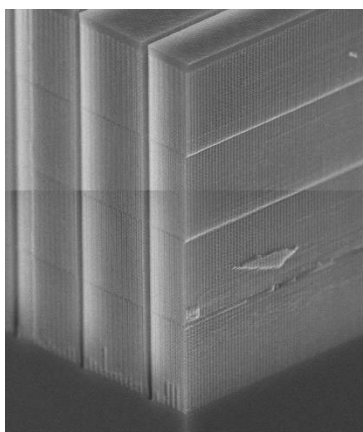


그림: 새로운 화학 극저온 공정으로 식각한 후의 ON 메모리 채널 홀 패턴의 단면 SEM 이미지.

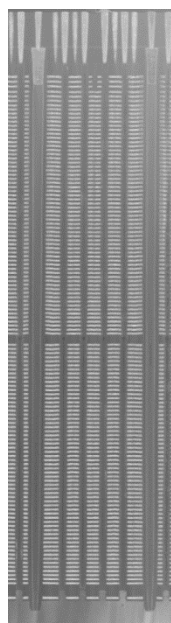
### Advanced Process and Materials

*Beyond 10um Depth Ultra-High Speed Etch Process with 84% Lower Carbon Footprint for Memory Channel Hole of 3D NAND Flash over 400 Layers. – Tokyo Electron Miyagi Ltd. (Paper T3-2)*

Kioxia 와 Western Digital 은 300 레이어 이상의 초고층 3D 플래시 메모리 제조를 위한 MILC(Metal-Induced Lateral Crystallization) 기법을 보여준다. 수직 메모리 홀의 14 $\mu\text{m}$  길이 마카로니 실리콘(Si) 채널은 MILC 를 통해 완전히 단결정화된다. 새로 개발된 니켈 게터링 기법을 사용하여 112 개의 워드라인이 적층된 3D 플래시 메모리는 셀 안정성 저하 없이 40% 이상 읽기 노이즈 감소와 10 배의 채널 전도도를 보여준다.



(a)



(b)

그림: (a) 300WL 및 (b) 112WL 을 갖는 3D 플래시 메모리의 TEM 이미지

## Memory Technology

*“Highly Scalable Metal Induced Lateral Crystallization (MILC) Techniques for Vertical Si Channel in Ultra-High (> 300 Layers) 3D Flash Memory” – Kioxia Corporation, Western Digital Corporation (Paper T7-1)*

SK 하이닉스는 양산 단계에 있는 3D CTN (Charge Trap Nitride) NAND 테스트 제품을 이용해 3D 강유전체 NAND(Fe-NAND) 퀴드 레벨 셀(QLC) 동작을 처음으로 제시한다. 그들은 메모리 윈도우(MW)를 개선하기 위해 셀 스택 구조를 최적화하였다. 최적화된 상부 중간층은 0.24V의 최소  $V_{th}$  gap margin 을 갖는 퀴드 레벨 셀(QLC)을 달성하였다. QLC 프로그래머블 3D 강유전체 NAND 플래시 메모리에서 최대 10.5V의 PE 윈도우 확장이 실현되었다.

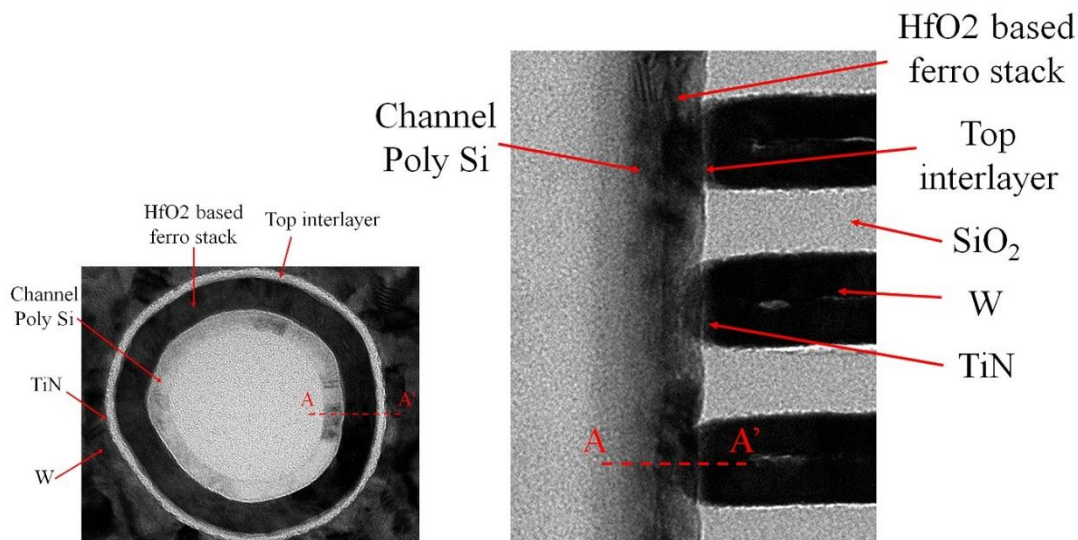


그림: 제조된 3D Fe-NAND (a) 평면도 및 (b) 단면 TEM 이미지.

## Advanced Process and Materials

*“First Observation of Ultra-high Polarization ( $\sim 108 \mu\text{C}/\text{cm}^2$ ) in Nanometer Scaled High Performance Ferroelectric HZO Capacitors with Mo Electrodes” – Stanford University, Western Digital, University of Nebraska-Lincoln, University of Missouri, SLAC National Accelerator Laboratory (Paper T7-3)*

Stanford 대학이 주축이 된 이 공동 연구는 Mo 전극을 갖는 4nm 두께, 100nm 미만 크기  $\text{Hf}_{0.5}\text{Zr}_{0.5}\text{O}_2$  (HZO) 커패시터의 우수한 강유전성과 내구성을 보여준다. 이 커패시터는 (1) 400°C의 낮은 결정화 온도, (2)  $10^{10}$  이상의 내구성 사이클에서 1.2V의 낮은 동작 전압, (3)  $\text{CeO}_2$  스트레서 추가를 통한 웨이크업 효과 및 지연 피로 감소, (4) 세심하게 설계된 측정 시스템을 통한  $108\text{mC}/\text{cm}^2$ 의 매우 큰 강유전성을 보여준다. 이 논문은  $\text{HfO}_2$  기반 강유전체 커패시터에서 전반적인 재료/공정 엔지니어링의 중요성과 추가적인 특성 개선 가능성을 설명한다.

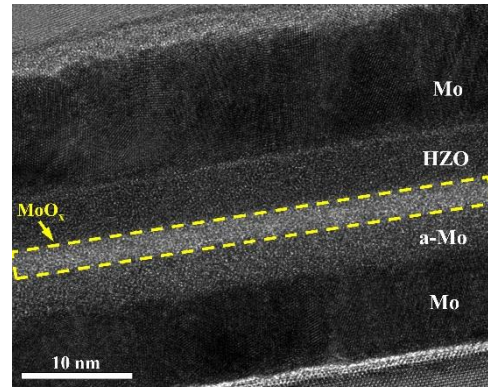
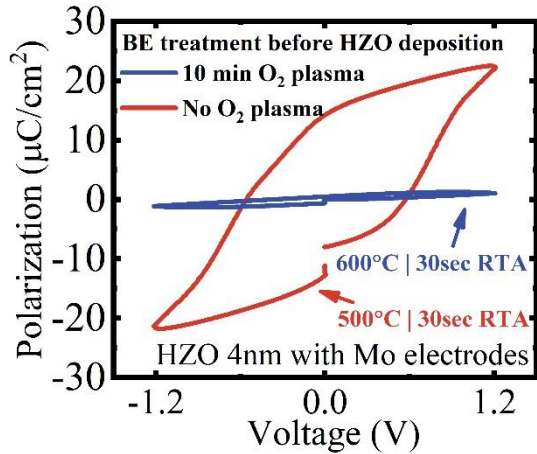


그림: (좌) 다른 어닐링 조건에서 TiN 및 Mo 전극을 갖는 HZO 커패시터의 강유전성 P-V 곡선, (우) 제조된 100nm 미만 크기의 강유전체 커패시터의 튼다운 이미지.

## Image Sensor Technology

*“Noise Performance Improvements of 2-Layer Transistor Pixel Stacked CMOS Image Sensor with Non-doped Pixel-FinFETs” – Sony Semiconductor Solutions, Sony Semiconductor Manufacturing Corporation (Paper T7-4)*

Sony 는 처음으로 도핑하지 않은 2-fin 화소-fin FET 을 사용한 2 레이어 트랜지스터 화소 적층 CMOS 이미지 센서를 제안한다. 도핑되지 않은 채널과 넓은 채널 폭의 FinFET 덕분에 트랜스 컨덕턴스 2.42 배 개선, 랜덤 노이즈 15% 감소, 랜덤 텔레그래프 신호 99.3% 감소가 보고되었다.

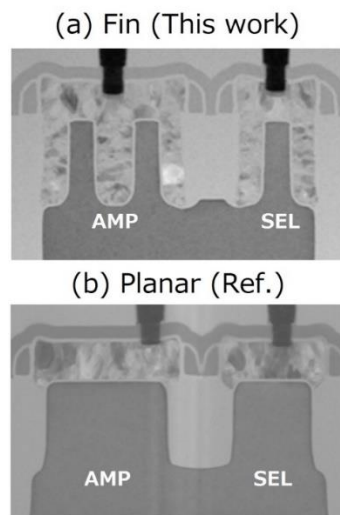


그림: 2 레이어 트랜지스터 화소의 (a) 화소-FinFET 및 (b) 평면 FET 의 채널을 가로지르는 단면 TEM 이미지.



## Beyond CMOS

*“Cryogenic RF Transistors and Routing Circuits Based on 3D Stackable InGaAs HEMTs with Nb Superconductors for Large-Scale Quantum Signal Processing” – KAIST, KBSI, KNU, KANC (Paper T7-5)*

한국과학기술원 (KAIST)은 한국기초과학연구원 (KBSI), 경북대 (KNU), 한국나노기술원 (KANC)과 공동으로 Nb 초전도체와 결합한 3D 적층형 InGaAs HEMT 기반 극저온 RF 트랜지스터 및 라우팅 회로에 대해 보고한다. 지금까지 보고된 극저온 RF 트랜지스터 중 가장 작은 전력 손실로 4 K 에서 기록적으로 높은 unity gain cutoff frequency 601GHz 와 unity power cutoff frequency 593GHz 를 달성하였다. 또한, Nb 초전도체와 III-V 이형 구조 하이브리드 인터커넥트를 사용한 새로운 구조를 통해 기존 구조에 비해 41% 낮은 전력 손실을 구현하는 라우팅 회로를 보여준다.

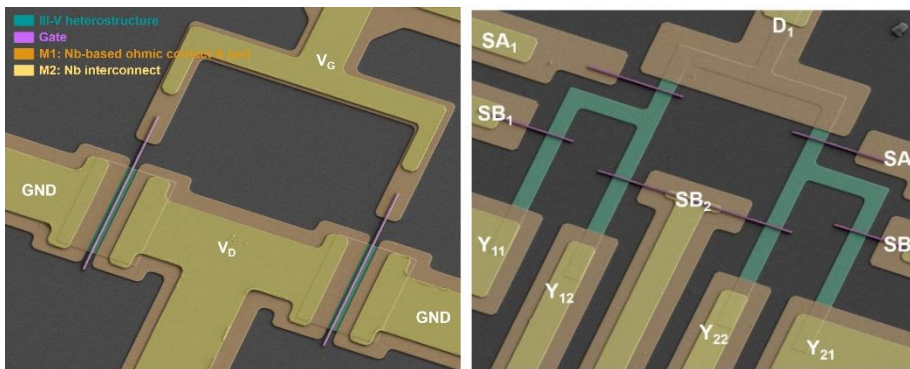


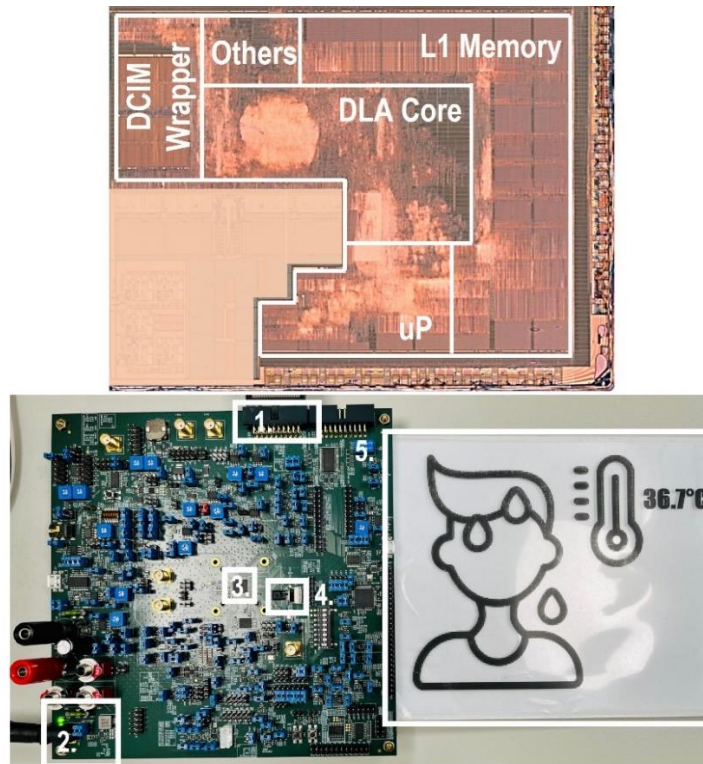
그림: 3D 적층 InGaAs HEMT 기반 (a) 2-finger 극저온 RF 트랜지스터 및 (b) III-V 이형 구조 로컬 인터커넥트 및 Nb 초전도체 글로벌 인터커넥터가 있는 극저온 1-to-4 라우팅 회로의 위색 SEM 이미지.

# Circuits Highlights

## Processors

*“A 12-nm 0.62-1.61 mW Ultra-Low Power Digital CIM-based Deep-Learning System for End-to-End Always-on Vision” – MediaTek Inc. (Paper C3-4)*

MediaTek 은 end-to-end Always-on Vision 을 위한 초저전력 딥 러닝 시스템을 보장하는 DCIM (Digital Compute-in-Memory)에 대해 보고한다. 논문에는 DCIM 기반 딥러닝 가속기(DCIM-DLA), RISC-V 마이크로프로세서 및 off-chip 이미지 센서 연결을 위한 인터페이스로 구성된 SoC 프로토타입이 담겨있다. DCIM 은 전력 소비량과 딥 러닝 정확도의 균형을 맞추기 위해 mixed-precision 계산을 지원한다. 프로토타입은 51.2 GOPS 의 최고 성능을 기록했으며, 인체감지를 위한 MobileNet-V1 에서 mixed-precision 연산으로 57 TOPS/W 의 에너지 효율과 85.7%의 정확도를 달성했다. 이미지 센서가 없는 end-to-end 시스템의 전력은 2fps 와 15fps 에서 각각 0.62mW 와 1.61mW 로 나타난다.



1.JTAG connection between host PC and debug access interface  
2.Power supply            1.Image sensor,  
3.Main 12nm test chip   2.LED panel to show the result of detection

그림: DCIM 기반 딥러닝 가속기(DCIM-DLA), RISC-V 마이크로프로세서 및 off-chip 이미지 센서 연결을 위한 인터페이스로 구성된 SoC 프로토타입. 이미지 센서가 없는 end-to-end 시스템의 전력은 2fps 와 15fps 에서 각각 0.62mW 와 1.61mW.

## Imaging

*“A 3.36  $\mu\text{m}$ -pitch SPAD Photon-Counting Image Sensor Using Clustered Multi-cycle Clocked Recharging Technique with Intermediate Most-Significant-Bit Readout” – Sony Semiconductor Solutions Corp. (Paper C15-2)*

SPAD 화소를 사용하는 이미지 센서는 단일 광자를 캡처하고 그 반응 횟수를 직접 계산하여 이미지를 생성하기 때문에 매우 어두운 환경에서도 이미지를 캡처할 수 있을 것으로 기대된다. 반면 이러한 특성 때문에 밝은 환경에서는 큰 회로 크기와 전력 소비를 야기한다. 이 논문에서는 SPAD 화소를 주기적으로 리셋하여 밝은 환경에서 SPAD 화소 반응을 억제함으로써 전력 소비를 줄인다. 화소 내 카운터의 최상위 비트 (MSB)의 변화 횟수를 세어 상위 숫자를 계산하기 때문에 화소 내 카운터 비트를 8 비트로 줄여 화소 크기도 줄일 수 있다. 22nm 노드는 세계에서 가장 작은  $3.36\mu\text{m}^2$  화소 크기를 가능하게 한다.

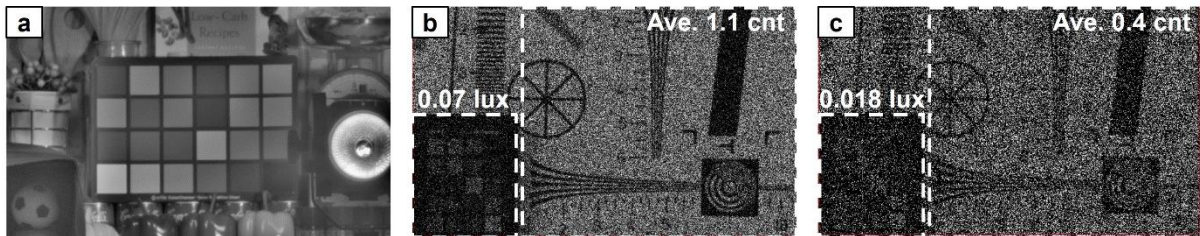


그림: SPAD 화소는 매우 어두운 장면도 캡처할 수 있으며, 밝은 장면은 채도 없이 캡처한다.

## 3D-Flash Memory

*“A 1Tb 3b/Cell 3D-Flash Memory of more than  $17\text{Gb}/\text{mm}^2$  bit Density with 3.2Gbps Interface and 205MB/s Program Throughput” – KIOXIA Corp. (Paper C2-1)*

Kioxia는  $17\text{Gb}/\text{mm}^2$  이상의 비트 밀도와 210 개 이상 워드라인 레이어를 가진 1Tb 3b/cell 3D 플래시 메모리를 보고한다. 물리적 8 면 아키텍처는  $40\mu\text{s}$ 의 낮은 읽기 지연 및 205MB/s의 높은 프로그램 처리속도를 구현한다. X 방향의 DQ 영역을 41%로 줄임으로써 3.2Gbps의 높은 인터페이스 속도를 달성한다. 하이브리드 row address 디코더(X-DEC)는 새로운 아키텍처로 인한 배선 혼잡 문제를 처리하여 읽기 지연 악화를 최소화할 수 있다. One-pulse-two-strobe 기법은 감지 시간을 18% 단축하여 205MB/s 프로그램 처리속도 달성에 기여한다.

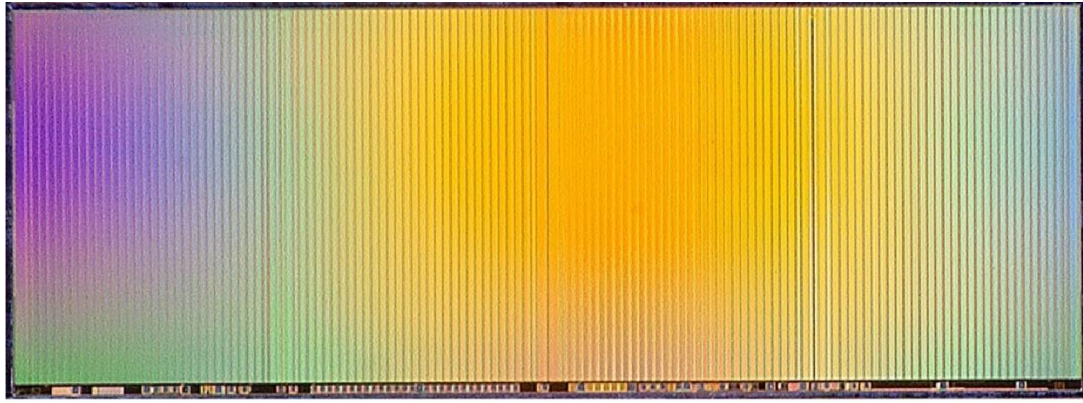


그림: 1Tb 3D 플래시 메모리의 다이 현미경 사진.

## SRAM Memory

*“A 3-nm 27.6-Mbit/mm<sup>2</sup> Self-Timed SRAM Enabling 0.48 - 1.2 V Wide Operating Range with Far-End Pre-Charge and Weak-Bit Tracking” – TSMC Design Technology Japan (Paper C9-5)*

TSMC 는 3nm Fin-FET 기술을 사용한 에너지 효율이 높은 캐시 SRAM 을 발표한다. 고성능 컴퓨팅 시스템은 전력 효율에 대한 요구가 높다. DVFS 는 전력 효율을 개선하기 위해 최근 설계에 널리 사용되고 있다. 이러한 DVFS 시스템에서 on-dice 캐시 메모리는 높은 오버드라이브 전압에서의 고속 작동과 매우 낮은 전압에서의 친환경 작동에서 모두 동작해야 한다. 본 논문에는 2 개의 새로운 DTCO 가 도입되었는데, 하나는 far-end 비트라인 사전 충전 회로이고 다른 하나는 weak-bit 추적 회로로, 정밀한 DVFS 를 통해 넓은 전압 범위를 지원한다. 도입된 DTCO 는 첨단 기술의 도전 과제인 1) 배선 저항 증가 및 2) 트랜지스터 특성의 전압 의존적 민감도 증가에 대한 성능을 향상시킨다. 테스트 칩은 3nm Fin-FET 기술로 제조되었으며 27.6Mbit/mm<sup>2</sup>의 높은 밀도와 0.48V ~ 1.2V 의 넓은 전압 범위에서 550MHz ~ 2.8GHz 의 작동을 보여주며, 이전 보고된 것들 중 최고의 FoM(= Density x Fmax/VDD)성능을 달성하였다.

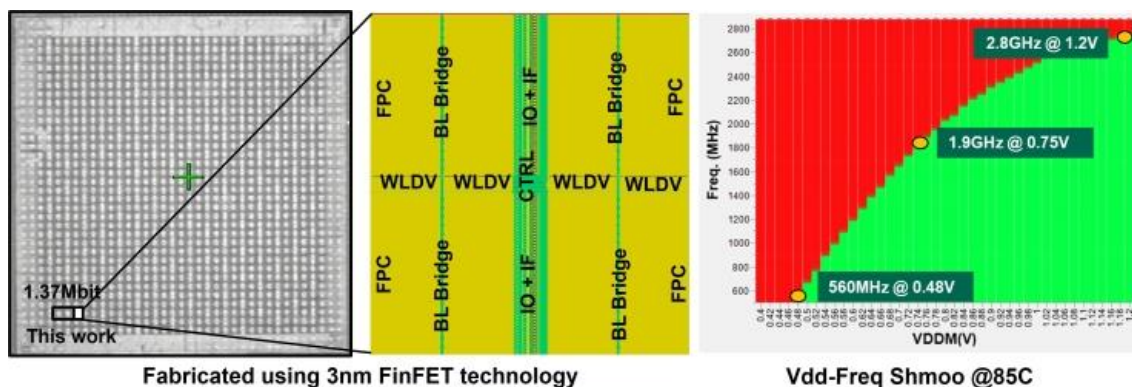


그림: 제조된 3nm Fin-FET 테스트 칩의 다이 사진, 434kbit SRAM 매크로의 레이아웃, 측정된 전압-주파수 shmoo 그래프.

## Neural Interfaces

“A Wireless Sensor-Brain Interface System for Tracking and Guiding Animal Behaviors Through Goal-Directed Closed-loop Neuromodulation” – University of Toronto (Paper C1-1)

Toronto 대학은 실시간으로 뇌 자극을 생성해 수중 미로에 있는 설치류를 목표로 인도할 수 있는 무선 뇌 자극 시스템을 보고한다. 이 시스템은 완전히 이식 가능하고 착용 가능한 부품으로 구성된 160 x 160 이미지 센서를 갖춘 무선 뉴럴 인터페이스 장치로 FPGA 기반 제어 호스트를 가진다. 호스트는 물 미로에 있는 쥐를 트래킹하고 안내를 위한 자극 패턴을 생성한다. 저자들은 목표를 시각적으로 볼 수 있는 통제 실험만큼이나 뇌 자극을 이용하여 미로 속 물에 잠긴 목표에 빠르게 도달할 수 있다는 것을 성공적으로 증명하였다.

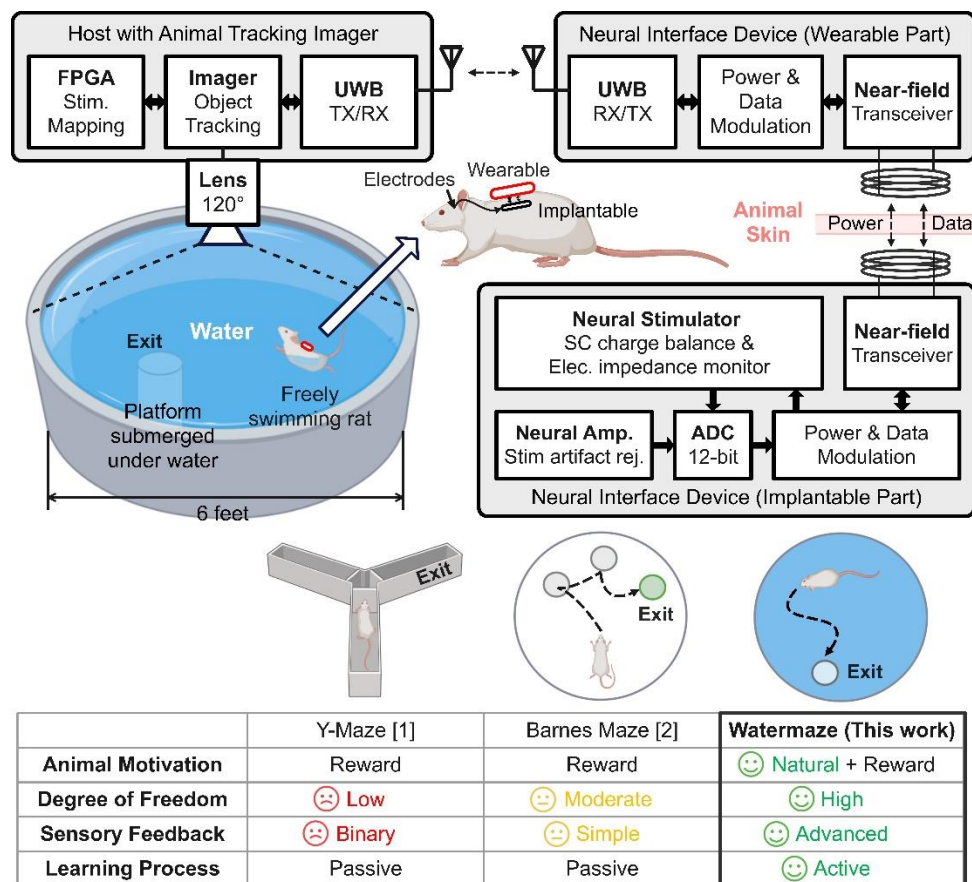


그림: 센서-브레인 인터페이스 시스템의 블록 다이어그램 및 시연에 사용한 수중 미로의 타당성.

## Biomedical Circuits

“Wireless Body-Area Network Transceiver ICs with Concurrent Body-Coupled Powering and Communication using Single Electrode” – Southern University of Science and Technology (Paper C8-1)

본 논문은 의료 정보를 지속적으로 모니터링 하기 위해서 신체에 장착된 베이스 스테이션과 여러 센서 노드로 단일 전극을 사용해 각 노드에 전력 및 데이터 통신을 제공하는 BAN 송수신기 IC를 제안한다. 전력 전송과 통신이 동시에 활성화될 경우 베이스 스테이션의 전력

전송 회로로부터 수신기 회로에 간섭이 일어나므로, 이 문제를 해결하기 위해 40dB 이상의 차단 성능을 갖는 자기 간섭 차단 회로를 구현하였다. 센서 노드 회로는 전력/데이터 수신부와 데이터 전송부의 접지를 분리하여 안정적인 전력 수신을 가능하게 한다.

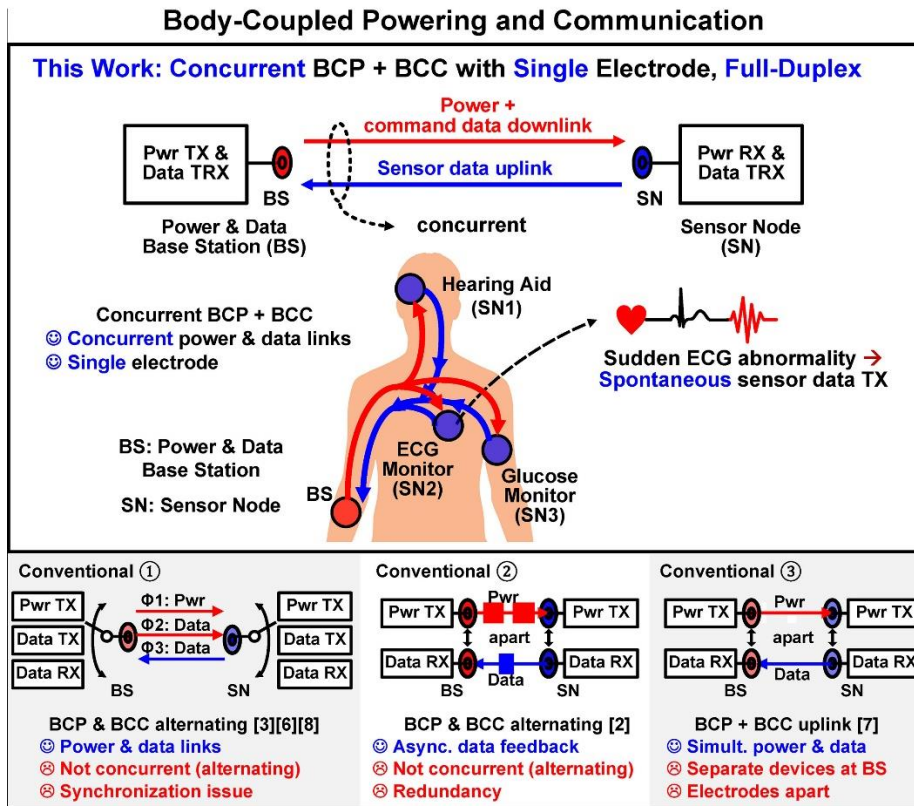


그림: 단일 전극으로 인체를 통한 동시 전력 전송 및 데이터 통신의 개념

## Biomedical Circuits

*“A Fingertip-Mimicking 12x16 200 μm-Resolution e-skin Taxel Readout Chip with per-Taxel Spiking Readout and Embedded Receptive Field Processing” – KU Leuven (Paper C8-2)*

KU Leuven 은 0.18μm CMOS 기술의 전자 피부(e-skin) 택셀(taxel) 판독 칩이 인간의 손끝과 비슷한 200μm 의 가장 높은 공간 해상도를 달성했음을 보고한다. 주요 포인트는 택셀당 신호 조절 프론트엔드가 있는 12x16 배열과 Complex Receptive Fields 를 통한 임베디드 뉴로모픽 1 차 처리와 결합된 스파이킹 판독을 칩에 통합한 것이다. 이전의 e-skin 기술과 비교하여 이 작업은 시스템 전력 소비를 약 100-7000 배 줄이고 택셀 당 전력 소비를 5 배 이상 줄이면서 공간 해상도는 5 배 높이고 센서 수는 두 배로 늘렸다. 실험 결과, 텍스처 및 플래터 주파수와 같은 입력 촉각 자극에 대한 칩의 시공간 스파이킹 출력의 스파이킹 신경망(SNN) 기반 분류는 각각 최대 97.1%와 99.2%의 우수한 분류 정확도를 달성하는 것으로 나타났다.

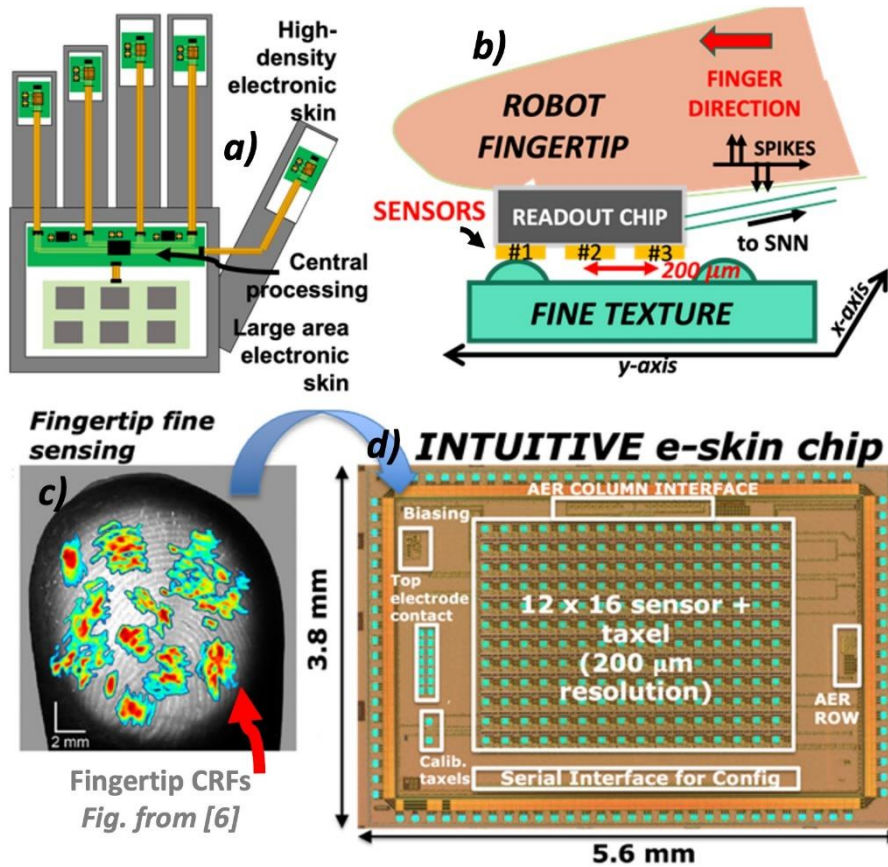


그림: 사람의 손끝 촉각을 모방한 E-skin 칩. 이 칩은 로봇 손의 손바닥과 손가락 끝에 장착된다.

### Digital Circuits

“Arvon: A Heterogeneous SiP Integrating a 14nm FPGA and Two 22nm 1.8TFLOPS/W DSPs with 1.7Tbps/mm<sup>2</sup> AIB 2.0 Interface to Provide Versatile Workload Acceleration” – University of Michigan (Paper C7-1)

Michigan 대학은 Intel 과의 협력으로 EMIB (Embedded Multi-die Interconnect Bridge)를 통해 14nm FPGA 칩렛과 2 개의 22nm DSP 칩렛을 통합하는 이종 결합 시스템 인 패키지(SiP)를 보고한다. 이 칩렛은 AIB(Advanced Interface Bus) 1.0 인터페이스 및 AIB 2.0 인터페이스를 통해 통신한다. 이 SiP 는 36 $\mu$ m 피치의 마이크로 뎀프를 사용하는 최초의 AIB 2.0 I/O 프로토타입으로 0.10pJ/b(0.46pJ/b 어댑터 포함) 에서 4Gbps/pin 을 달성한다. 이 SiP 는 프로그래밍이 가능하며, 신경망(NN) 연산부터 통신 처리(comm)까지 워크로드를 지원하고 4.14TFLOPS (FP16, half-precision)의 최고 성능을 제공한다. 또한, 성능 및 자원 활용률을 최적화하기 위해 FPGA 와 DSP 에 걸쳐 워크로드를 매핑하도록 컴파일 흐름제공한다.

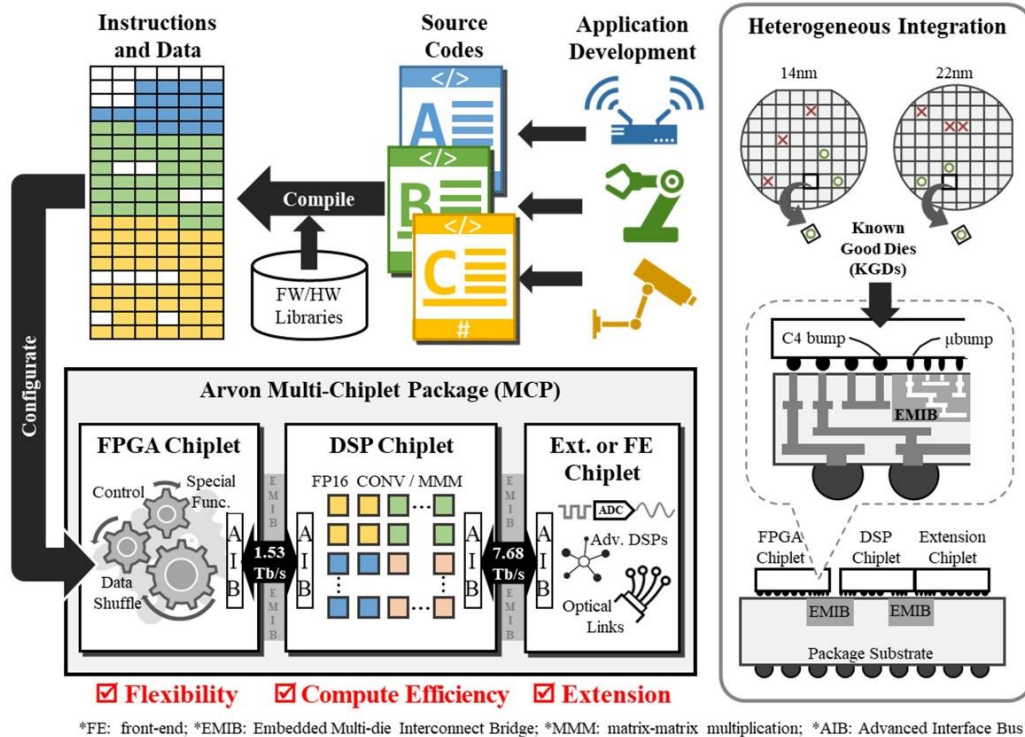


그림: 유연한 워크로드 매핑을 위해 FPGA, DSP, FE 칩렛을 이종 결합하는 Arvon SiP.

### Wireline Receivers

*“A 256 Gbps Heterogeneously Integrated Silicon Photonic Microring-based DWDM Receiver Suitable for In-Package Optical I/O” – Intel Corp. (Paper C6-2)*

Intel 은 이종 결합된 실리콘 포토닉 마이크로링 기반 고밀도 파장 분할 다중화(DWDM) 수신기를 제안한다. 디더(dither) 기반 열 제어 유닛은 광학 demux 의 마이크로링 공진기를 sub-pm 해상도로 레이저 그리드에 정렬시킨다. 송수신기는 실리콘 포토닉 IC 위에 적층된 28nm CMOS 전기적 IC 로 구현된다. 일정한 200GHz 간격의 8 개의 파장을 사용하여 256Gbps 에서 BER<1e-12, 3.6dBm 의 광출력, 3.8pJ/b 의 에너지 효율을 달성한다.

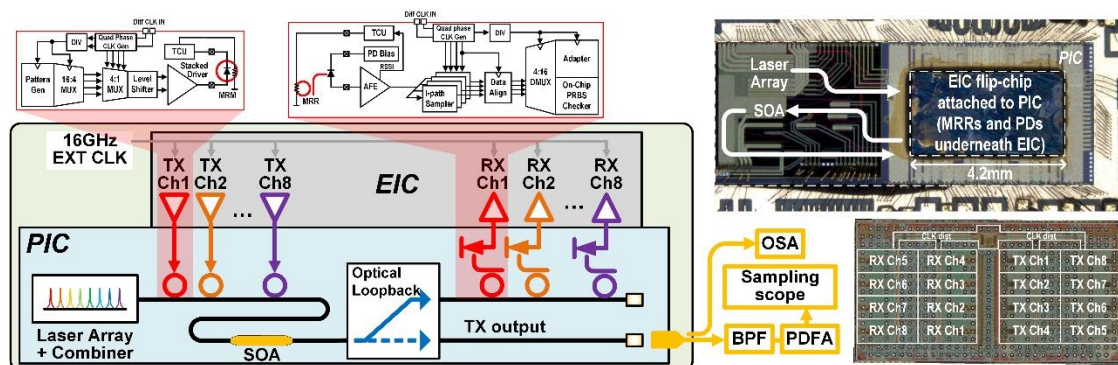




그림: 전기 IC 와 포토닉 IC 디테일을 가진 이중 통합된 고밀도 파장 분할 다중화(DWDM) 송수신기. 송수신기 어셈블리 및 전기 IC 의 사진.

## Analog-to-Digital Converters

*“A 0.024mm<sup>2</sup> 84.2dB-SNDR 1MHz-BW 3rd-Order VCO-Based CTDSM with NS-SAR Quantizer (NSQ VCO CTDSM)” – University of Michigan (Paper C4-2)*

Michigan 대학은 노이즈 셰이핑(NS) SAR 양자화기와 함께 VCO 기반 연속 델타-시그마 변조기(DSM)를 사용하는 새로운 하이브리드 ADC 아키텍처를 제안한다. VCO 프론트엔드와 NS SAR 을 연결하는 안티앨리어싱 필터를 통해 시간 도메인 정보를 전압 도메인 정보로 직접 샘플링할 수 있다. 28nm CMOS 프로토타입은 100MS/s 기준 1.62mW 를 소비하면서 1MHz 대역폭 내에서 84.2dB SNDR 및 86.8dB DR 을 달성한다.

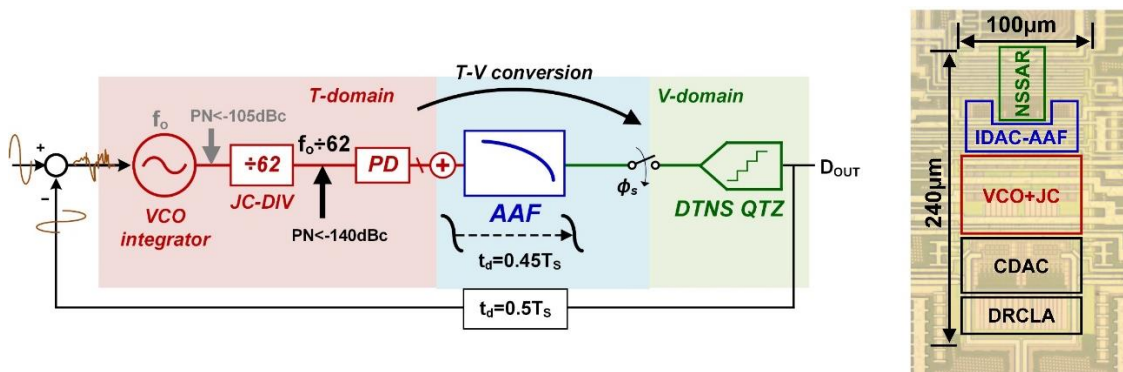


그림: VCO 프론트엔드와 NS SAR 을 연결하는 안티앨리어싱 필터가 포함된 새로운 하이브리드 ADC 아키텍처, 28nm CMOS 프로토타입의 사진.

## Analog Techniques

*“An Energy-Efficient Impedance-Boosted Discrete-Time Amplifier Achieving 0.34 Noise Efficiency Factor and 389 M $\Omega$  Input Impedance” – ETH Zurich (Paper C19-2)*

ETH Zurich 는 저전력 센서 시스템을 위한 노이즈 효율이 좋은 아날로그 프론트엔드(AFE)를 발표한다. 제안된 AFE 는 입력 저항 부스팅 루프와 정전식 양성 피드백 루프를 사용하여 입력 임피던스가 389MW 로 부스팅하는 직렬-병렬 변환기에 기반한 저노이즈 증폭기를 사용한다. 이 임피던스 부스팅 기법은 이전 연구 대비 39 배 향상된 성능을 제공한다. AFE 는 370nW 전력을 소비하면서 지금까지 보고된 중 최저 노이즈 효율 계수(0.34)와 전력 효율 계수(0.1)를 달성한다.

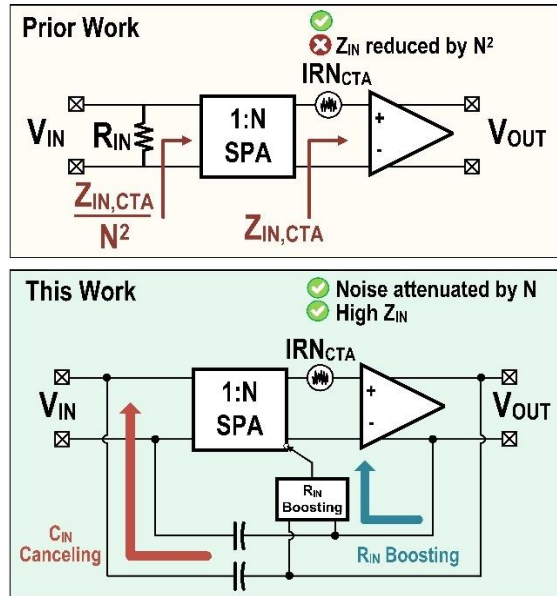


그림: 입력 임피던스가 부스팅된 아날로그 프론트엔드 및 이전 연구와의 비교.

### Frequency Generator

*“A 122fsrms-Jitter and -60dBc-Reference-Spur 12.24GHz MDLL with a 102-Multiplication Factor Using a Power-Gating Technique” – Korea Advanced Institute of Science and Technology (KAIST) (Paper C26-5)*

KAIST 는 지터 현상이 적은 12.24GHz 출력의 클록 생성기를 제안한다. 레이아웃 면적을 절약하기 위해 링 오실레이터 타입 생성기가 사용하여 0.066mm<sup>2</sup>의 면적을 달성한다. 기존의 링 오실레이터 타입 생성기는 출력 주파수를 높이기 어렵지만 제안된 게이팅 기술은 높은 주파수 출력을 지원한다. 추가로, 내장된 캘리브레이션 회로는 기준 spur 를 -60dBc 까지 줄일 수 있다.

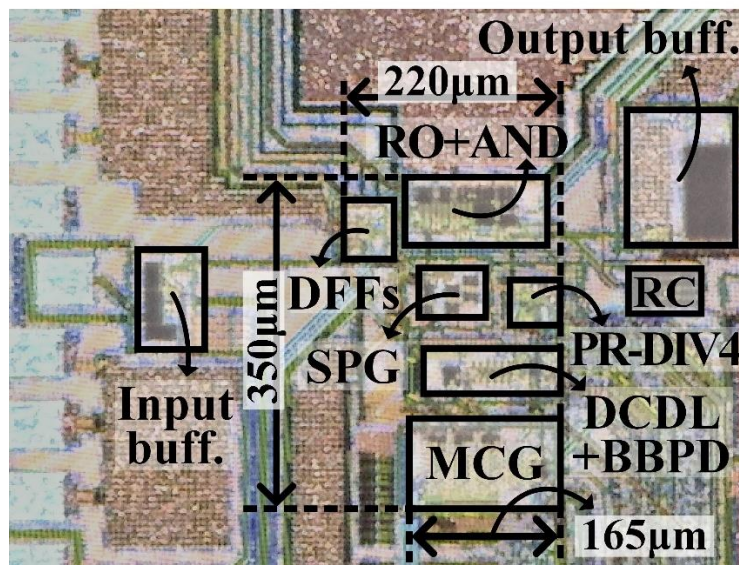


그림: 지터 현상이 적은 12.24GHz 출력의 컴팩트한 클록 생성기.