



*The 2023 Symposium on VLSI Technology & Circuits,
VLSI 의 발전과 함께 더 나은 세상으로:
"지속 가능한 미래를 위한 Technology & Circuits 의 재도약"*

일본, 도쿄 (2023. 4. 25) – 지난 43 년간 마이크로전자공학 기술과 회로에 대한 독보적인 기술과 정보를 한 자리에서 발표해온 [Symposium on VLSI Technology & Circuits](#) 학회가 오는 2023 년 6 월 11 일부터 16 일까지 일본 교토에서 대면 행사로 재개된다. 6 일간 개최되는 이 행사는 "지속 가능한 미래를 위한 Technology & Circuits 의 재도약"이라는 주제로 교토의 Rihga Royal Hotel 에서 진행될 예정이다. 본 심포지엄은 인공지능, 머신러닝, IoT, 웨어러블/임플란터블 생체 의학 기기, 빅데이터, 클라우드/에지 컴퓨팅, 증강/가상 현실(AR/VR), 등 차세대 응용분야를 위한 첨단 VLSI 기술과 혁신적인 회로설계 기술을 다룰 예정이다.

현재의 기술 응용과 더불어 미래의 기술 혁신을 위한 기술자와 설계자 간 시너지를 일으키는 최고의 글로벌 행사로서, 학술 발표 외에도 시연회, 저녁 패널 토론회, 합동 포커스 세션, 단기 강좌, 워크숍, 특별 포럼 등을 함께 진행한다.

Plenary Sessions:

• **"Multi-Chiplet Heterogeneous Integration Packaging for Semiconductor System Scaling" - Suraya Bhattacharya, A*STAR, IME, System-in-Package 부문 디렉터**

지난 10 년 간 업계는 광범위한 시장의 다양한 시스템 요구사항을 충족하기 위해 여러 칩렛(chiplet)을 이종 집적화하는 고급 패키징을 채택하였으며 이는 SiP(System-in-Package) 스케일링을 위한 새로운 핵심 도구가 되었다. Bhattacharya 박사는 다가올 시스템 스케일링 필요에 대한 해결책으로써 멀티 칩렛 이종 집적 패키징 플랫폼을 소개한다.

• **"Searching for Nonlinearity: Scaling Limits in NAND Flash" - Siva Sivaram, Western Digital 사장**

이 세션에서 Sivaram 박사는 지속적인 3D 적층을 통한 NAND 플래시 메모리의 비트 증가로 준선형의(sub-linear) 비용 절감 효과를 달성할 수 있음을 보여준다. 웨이퍼 본딩 기술은 복잡한 로직 회로에서 메모리 어레이를 획기적으로 분리할 수 있어 고속 로직과 메모리 레이어의 새로운 통합이 가능하며 제조 사이클 시간을 줄인다. 이 기술을 통해 업계는 단일 크기의 NAND 다이에서 벗어나 다양한 응용 및 시스템 레벨을 위한 맞춤형 솔루션을 구현하여 비용을 절감할 수 있다.

• **"Quantum Computing from Hype to Game Changer" - Hiroyuki Mizuno, Hitachi, Ltd. 석학 연구원**

양자 컴퓨팅은 광범위한 투자와 연구에도 불구하고 소비자가 체감할 수 있는 이점이 실현되고 있지 않아 허상이라는 인식이 증가하고 있지만, 이제 CMOS 어닐링(annealing) 기술이 그 간극을 메우려 하고 있다. 이 강연에서는 기존 반도체 기술을 비롯해 확장 가능한 큐비트 어레이 구조에서 실리콘 양자 컴퓨터(큐비트 연산) 개발의 다음 단계를 달성하기 위한 "셔틀링 큐비트" 등, 주목할 만한 개발을 최대한 활용하는 top-down 접근법을 소개한다.

• **"A Six-Word Story on the Future of VLSI: AI-Driven, Software-Defined, and Uncomfortably Exciting" - Partha Ranganathan, Google, Technical Fellow, 부사장**

AI 혁명, 클라우드, 스마트 기기들이 컴퓨팅 수요를 가속화하고 있지만 무어의 법칙은 점점 더 달성하기 어려워지고 있다. 이는 더 저렴하고 에너지 효율이 높은 시스템에 대한 기존의 가정을 끊임없이 위협하고 있으며, 이로 인해 미래의 컴퓨팅 시스템에 대한 수요-공급 격차가 크게 증가하고 있다. 이 강연에서 Ranganathan 박사는 미래 하드웨어에 대한 재고와 설계 방식에 대한 논의를 통해 맞춤형 실리콘 가속기를 통한 효율적인 하드웨어 설계, 특정 소프트웨어를 위한 시스템 설계를 통한 효율적인 하드웨어 활용이라는 두 가지 광범위한 주제를 다룬다.

Focus Session:

이번 기술 포커스 세션에는 "BEOL/후면 전력 공급 네트워크(BSPDN)", "향후 메모리의 발전 방향"을 주제로 2 개의 세션이 개최된다. 그 밖에도 회로와 기술에 대한 새롭고 흥미로운 주제를 다루는 4 개의 합동 포커스 세션으로 "새로운 컴퓨팅", "AR/VR/MR 메타버스", "자동차와 항공우주", "3D 시스템 통합"이 준비되어 있다.

Short Courses on Key VLSI Topics:

아래의 주제에 대한 단기 강좌가 이틀에 걸쳐 열린다.

- 단기 강좌 1: "Advanced CMOS Technologies for 1 nm & Beyond" 강좌는 EUV 리소그래피, Si 부터 새로운 2D 물질 기반으로의 소자 변화, 후면 PDN 의 3D 집적 및 이중 집적, 미래의 생산 계획을 포함하여 전반적인 FEOL/BEOL 공정에 대한 새로운 로직 기술을 중점적으로 다룬다.
- 단기 강좌 2: "Future Directions in High-Speed Wireline and Optical IO" 강좌에서는 SerDes 회로 시스템 설계, 코히어런트 ASIC 및 실리콘 포토닉스의 최신 발전에 대해 살펴보고, 최신 칩렛 기술, 혁신적인 패키징, 고속 수신기 및 송신기, 메모리 인터페이스에 대해서도 알아본다.

Forum Session:

본 심포지엄은 "Compute Paradigms for Secured Microelectronics and Combinatorial Optimization"을 주제로 한 포럼 세션도 제공한다.

- 이 포럼은 최신 VLSI 응용 분야와 함께 VLSI 심포지엄의 향후 방향성을 제시하는 자리로, 올해에는 전 세계의 저명한 전문가들이 보안을 강화하기 위한 마이크로전자공학 기술과 조합 최적화 방법에 초점을 맞춘 강연을 통해 하드웨어 보안, 암호화 회로 기술, 사이버 보안을 비롯하여 프로세서, FPGA, 초전도 양자 어닐러에 기반한 조합 최적화 가속기에 대한 의견을 공유한다.

Evening Panel Discussions:

- "What is Scalable and Sustainable in the Next 25 Years?"

반도체 공정 스케일링은 수십 년 동안 리소그래피, 재료 및 소자 구조의 발전을 통해 성공적으로 이루어졌다. 향후 25 년은 어떨까? 물리학, 제조 가능성, 경제성, 칩 제조 및 작동에 소비되는 에너지, 제조 과정에서 배출되는 온실 가스, 엔지니어링 자원으로 인해 발생하는 스케일링의 한계를 어떻게 극복할 것인가? 이 산업은 계속해서 매력을 발산하고 성장할 수 있을 것인가? TEL 의 Tomonari

Yamamoto 박사가 사회를 맡아 산업 및 R&D 기관의 저명한 게스트들로 구성된 패널들과 이러한 주제에 대한 그들의 견해를 나눈다.

• *“Can Universities Help to Revitalize the IC Design Industry? If So, How?”*

칩이 상품화되면서 반도체 업계는 지속적으로 변화해야만 하는 상황에 처해 있다. 이러한 상황에서 대학은 칩 기업의 활성화에 기여할 수 있을까? 그들은 상부상조 할 수 있을까? 아니면, 기업은 계속해서 대학을 교육받은 인재들의 산실로만 여기고 대학 연구자들은 자신들이 하고 싶은 일에만 집중할 것인가? UCLA 대학의 Asad Abidi 교수가 사회를 맡아 산업계 및 학계의 저명한 게스트들로 구성된 패널들과 이 중요한 주제에 대해 의견을 나눈다.

Demo Session:

올해 처음으로 데모 세션은 완전히 대면 진행되어 참가자들이 반도체기술과 회로 설계 분야에서 선택된 우수 논문들의 저자들과 깊은 소통할 수 있는 기회를 제공한다. 이 시연회에서는 회로 레벨 혁신을 위한 소자 특성, 칩 작동 기술 및 유망한 응용분야들을 보여준다.

Workshops:

심포지엄의 시작을 알리는 일련의 워크숍 세션이 추가적인 학습 기회를 제공한다. 올해에는 다음과 같은 6 개의 흥미로운 워크숍이 개최된다.

Technology Workshops

- EUV Lithography & Path to High-NA EUV Patterning Solutions
- Towards Functional Backside: What's Next after Backside Power Delivery?
- The Deployment of Materials to System Co-Optimization Methodology (MSCO™) to Enable Rapid PPACt Assessment for Advanced Node Technology Development

Circuit Workshops

- Open Source PDKs and EDAs, Community Experiences toward Democratization of Chip Design
- Uniform and Rigorous Benchmarking of Machine Learning ICs and Systems
- 3D Image Sensor

Special Events 도 함께한다. IEEE Solid-State Circuits Society 의 여성 공학자 및 차세대 엔지니어들이 후원하는 멘토링 세션과 같은 다양한 이벤트가 준비되어 있다.

Best Student Paper Awards 는 학생이 주저자/발표자로 참여한 우수한 논문에 대하여 상금, 여행 경비 지원 및 상장을 수여할 계획이다.

자세한 사항은 IEEE VLSI 심포지엄 홈페이지에서 확인할 수 있다: <http://www.vlssymposium.org>.

후원 기관:

본 심포지엄은 Japan Society of Applied Physics, the IEEE Electron Devices Society, the IEEE Solid State Circuits Society, in corporation with the Institute of Electronics, Information and Communication Engineers 의 후원을 받는다.

미디어 담당자:

(일본 및 아시아)

Secretariat for VLSI Symposia c/o JTB Communication Design, Inc.
Tokyo, Japan

E-mail: vlsisymp@jtbcom.co.jp

(북미 및 EU)

BtB Integrated Marketing – Chris Burke, co-Media Relations Director

E-mail: chris.burke@btbmarketing.com