

다음은 몇 가지 중요한 기술 용어에 대한 정의이다.

- **ACLR(Adjacent Channel Leakage Ratio)** – 인접 채널 누설비. 원하는 신호에 대한 인접 채널 누설 전력비.
- **ADC, 또는 아날로그-디지털 컨버터** – 연속적인 물리량(일반적으로 전압)을 디지털 값으로 변환시키는 장치다.
- **백 엔드 오브 라인/BEOL, 미들 오브 라인/MOL 및 프론트 엔드 오브 라인/FEOL** – 집적회로 제조 과정에서 트랜지스터와 기타 능동 소자가 제조 라인의 프론트 엔드(FEOL)에 형성되고 활성 영역과 게이트의 접점이 제조 라인의 중간(MOL)에 형성되며 인터커넥트나 배선이 제조 라인의 백 엔드(BEOL)에 형성된다
- **BPOOK(Bi-Phase On-Off-Keying)** – 데이터 통신의 변조 기법. 반송파 진폭이 기저대역 데이터에 따라 0 과 1 사이에서 변조된다. 더 나아가 반송파도 기저대역 데이터가 “1”일 때 0 과 180° 사이에서 변경된다. OOK 와 BPSK 보다 스펙트럼 효율이 높고, 동일한 스펙트럼 대역폭에서 데이터 전송률이 두 배가 될 수 있다. OOK 와 마찬가지로 포락선 검출기가 변조에 사용될 수 있으며, 저전력 작동에 적합하다.
- **BPSK(Bi-Phase Shift Keying)** – 데이터 통신의 변조 기법. 반송파가 기저대역 데이터에 따라 0 과 180° 사이에서 변조된다. 코히어런트 검출기를 사용하면 신호점 사이의 거리가 넓고 필요한 신호 대 잡음비를 완화시킬 수 있어 OOK 보다 수신기 감도를 향상시킬 수 있다.
- **BAN(Body Area Network)** – 인체 통신망. 특히 인체 주변의 매우 작은 영역에 대한 네트워크 기술로, 때때로 "BCC"의 동의어로 사용된다.
- **BCC(Body Channel Communication)** – 인체 영역 통신. 인체를 통한 전자기 전송을 사용하는 무선 통신 기술.
- **벽 컨버터** – 벽 컨버터는 입력 전압(공급)에서 출력 전압(부하)으로 전압을 낮추는(전류는 높이는) DC-DC 전력 컨버터이다. SMPS(switched-mode power supply)의 한 종류다.
- **BLE(Bluetooth Low Energy)** – 저전력 블루투스. 블루투스는 무선 표준이고 BLE 는 스마트폰, IoT 등을 위한 블루투스의 저전력(LE) 모드다.
- **BCI(Brain Computer Interface)** – 두뇌 컴퓨터 인터페이스. 두뇌에서 정보 또는 의도를 검색하여 컴퓨터 및 기타 정보 시스템에서 사용하는 기술. 전자 및 광학 방식을 포함하는 다양한 두뇌 측정 방식을 BCI 에 적용할 수 있다.
- **CC-CV** – 정전류 및 정전압 충전. 처음에는 다양한 전압에서 큰 전류를 주입하기 위해 CC 모드가 사용된다. 충전량이 일정 수준에 도달하면 충전의 마지막 단계에서 충전 과정이 CV 모드로 전환된다. 대부분의 리튬이온 배터리는 CC-CV 충전 모드를 사용한다.
- **CDS(Correlated Double Sampling)** – 상관된 이중 샘플링은 고정 패턴을 제거하고 픽셀에서 노이즈를 리셋하는 방법이다. 픽셀 판독 사이클 동안 두 개의 샘플이 선택되어 추출된다. 하나의 신호는 픽셀이 리셋 상태에 있을 때 추출되고 다른 하나는 전하가 판독 노드로 전송되었을 때 추출된다.
- **칩렛** – 아주 작은 칩을 의미한다. 일반적으로 하나의 CPU 칩에는 여러 개의 코어가 탑재되고, 하나의 SoC 칩에는 여러 개의 기능 블록이 탑재된다. 코어의 수가 늘어남에 따라 칩의 크기도 커진다. 결합의 수는 칩의 크기에 비례하기 때문에 칩의 커진 크기로 인해 수율 손실이 초래되기도 한다. 하나의 칩에 필요한 모든 기능 블록을 동일한 공정 노드로 제작하는 것은 이전 공정 노드가 기능 블록의 일부를 제작하는 데 충분한 경우도 있기 때문에 비용 효율적이지 않을 수 있다. 이러한 문제는 패키지에 칩렛을 탑재하여 멀티 코어 CPU 를 제작하고, 하나의 패키지에 다른 기능의 칩렛을 탑재하여 시스템을 제작하는 기술의 개발을 유도한다.
- **CMOS 이미지 센서(CIS)** – 상기 CMOS(complementary metal oxide semiconductor, 상보형 금속 산화 반도체) 제조 기술에 기반한 이미지 센서이다. CCD(Charge coupled devices, 전하 결합 소자)로 불리는 기존의 이미지 센서는 포토다이오드 및 폴리 게이트 공정을 기반으로 한다.

- **CMOS/MOS/MOSFET/FET**-- 오늘날 대부분의 트랜지스터는 FET 또는 전계 효과 트랜지스터(field-effect transistor)다. 대부분의 FET 는 CMOS(complementary metal oxide semiconductor, 상보형 금속산화 반도체) 제조 기술로 만들어진다. 일반적으로 MOSFET 이라고 불리고 때로는 MOS 트랜지스터라고 불린다.
- **III-V 화합물 반도체** -- 대부분의 반도체는 실리콘 기반이지만 연구자들은 더 빠른 장치를 만드는 데 사용될 수 있는 전자 이동도가 높은 다른 반도체 재료들을 계속해서 찾고 있다. 단 이러한 재료들은 실리콘보다 작업이 어렵다는 단점이 있다. 화합물 반도체는 두 가지 이상의 원소로 만들어지며(예: GaAs, InP, GaN, etc.), 일반적으로 원소주기율표에서 III 족과 V 족의 원소로 구성된다.
- **DAC 또는 디지털-아날로그 컨버터** - 디지털 데이터를 아날로그 신호(전류, 전압 또는 전하)로 변환시키는 장치다.
- **Dit** - 이 용어는 인터페이스 결함 또는 그 밀도를 나타낸다. MOSFET 의 경우, Dit 은 일반적으로 채널과 절연 산화물 사이의 결함을 의미한다.
- **DNN(Deep Neural Network)** - 입력과 출력 사이에 한 층 이상의 숨겨진 유닛이 있는 심층 신경망. 유명한 모델로 합성곱 신경망(CNN)과 순환 신경망(RNN)이 있다. 여러 개의 숨겨진 층이 있는 신경망을 통해 높은 수준의 기능을 실현하는 아이디어는 이전부터 존재했지만 기존의 역전파 방식을 사용한 학습은 느리고 성능도 부족하였다. 최근에 여러 층의 신경망을 위한 효과적인 학습 알고리즘이 개발되고 컴퓨터 성능이 크게 향상됨에 따라 DNN 의 효율성이 재발견되었다. 그 밖에도 DNN 은 2012 년에 개최된 이미지 인식 대회(ImageNet 대규모 시각 정보 인식 챌린지 대회)에서 DNN 을 사용한 연구팀들의 뛰어난 성과를 통해 큰 주목을 받게 되었다. 그 결과 이미지 인식, 음성 인식 등과 같은 다양한 분야에서 DNN 을 활용한 연구가 현재 활발히 진행 중이다. DNN 을 사용한 머신 러닝 알고리즘을 딥 러닝이라고 한다.
- **DRAM** - 동적 임의 접근 메모리(DRAM)는 커패시터에 전하를 저장하는 방식으로 정보를 저장하며 정보를 주기적으로 갱신해줘야 한다. DRAM 칩은 대부분의 컴퓨터, 태블릿 및 스마트폰을 위한 메인 메모리로 사용된다.
隨時読み書き可能なダイナミックメモリは、情報を容量に電荷の形で保管するため、定期的にリフレッシュが不可欠である。一般的なコンピュータ、タブレットやスマートフォンの主記憶の大部分は専用のDRAMにより構成されている。
- **ECoG** - 뇌파측정법(ECoG)은 뇌의 노출된 표면에 전극을 직접 붙여 대뇌 피질의 전기적 활동을 기록하는 일종의 전기생리학적 모니터링이다.
- **유효 비트 수(ENOB)** - ADC 의 노이즈 및 왜곡 현상을 포함하는 동적 성능의 측정 기준으로 한정된 분해능을 가진 이상적인 ADC 의 성능에 정규화된 값이다.
- **EEG(Electroencephalogram)** - 뇌전도. 뇌의 활동을 관찰하는 전자 측정 방식 중 하나로, 두피 또는 인체의 일부 다른 부위에 전극을 부착하면 두뇌의 전기 신호가 증폭되어 관찰된다. EEG 는 비침습적 방식과 침습적 방식을 모두 포함한다.
- **일렉트로 마이그레이션** - 전자와 금속 원자 사이의 운동량 교환으로 인해 인터커넥트에서 고밀도 전자 흐름이 금속 원자를 움직이게 하는 현상. ‘일렉트로 마이그레이션’이라고 한다. 최악의 경우, 이 현상으로 인해 보이드(void)가 발생하여 인터커넥트의 연결이 끊길 수 있다.
- **EOT 또는 등가 산화막 두께** - high-k 유전체의 성능과 SiO₂ 막의 성능을 비교하기까지의 거리. EOT 의 두께를 가진 SiO₂ 막은 사용된 high-k 물질과 동일한 게이트 정전용량을 갖는다. higher k 유전체는 EOT 를 줄일 수 있어 MOSFET 성능을 향상시킨다.
- **ESD** - 정전기 방전. 접촉으로 인해 두 물체 사이의 정전기가 갑자기 방출되는 현상. 집적회로에 ESD 충격이 발생하면 장치가 고장 나거나 수명을 단축시킬 수 있다.
- **EUV (Extreme Ultra Violet)** - 극자외선. 리소그래피 공정에 사용되는 차세대 광원으로 여겨진다. EUV 는 ArF(193 nm)보다 파장이 짧아(13.5 nm) 멀티 패터닝 공정을 줄일 수 있다.
- **EVM (Error Vector Magnitude)** - 오류 벡터 크기. EVM 은 디지털 트랜시버의 변조 정확도를 평가하는 데 사용되는 측정치이다.

- **FD-SOI** -- 완전 공핍형 실리콘 온 인슐레이터(FD-SOI)는 기존의 실리콘 트랜지스터보다 속도와 전력 혜택을 제공할 수 있는 공정 기술 옵션이다.
- **FinFET** -- 지느러미를 닮은 3-D 형태의 트랜지스터로 일반적으로 더 나은 온/오프 전환 제어를 위해 여러 개의 게이트로 둘러싸여 있다.
- **프런트 엔드/FEOL 및 백 엔드/BEOL** -- 집적회로 제조 과정에서 트랜지스터와 기타 능동 소자가 먼저 형성되고(제조 라인의 프런트 엔드 또는 FEOL) 인터커넥트나 배선은 그 후에 제조 라인의 “백 엔드”(BEOL)에서 형성된다.
- f/f_{max} - 차단 주파수(f) 및 최대 진동 주파수(f_{max})는 트랜지스터의 고주파수 성능의 기준점이다. f 는 트랜지스터의 현재 전류 게인이 단일화될 때의 주파수이고, f_{max} 는 단일 전력 게인(Gain)이 단일화될 때의 주파수이다. 회로 성능 측면에서 f 는 디지털 논리 회로에 더 중요한 편이고, f_{max} 는 고주파수 아날로그 회로에 더 중요한 편이다.
- **GAA(Gate All Around) 트랜지스터** - 게이트 전극이 채널의 4면에 모두 배치되거나 와이어형 채널의 모든 표면에 배치된 MOS 트랜지스터이다.
- **글로벌 셔터** - 롤링 셔터처럼 이미지를 순차적으로 스캔하는 것이 아니라 전체 이미지를 한 번에 캡처하는 방식이다.
- **Gm** - 트랜스컨덕턴스. MOSFET에서 Gm은 일정한 드레인/소스 전압 하에서 드레인 전류의 작은 변화량을 게이트/소스 전압의 작은 변화량으로 나눈 값으로 정의된다.
- **HEMT** - 고전자 이동도 트랜지스터(HEMT)는 헤테로 구조 FET(HFET) 또는 변조 도핑 FET(MODFET)라고도 한다. HEMT는 밴드 갭이 다른 두 가지 반도체로 구성된 이종접합에 기반한다(III-V 화합물 반도체 참조). 적절한 재료를 선택하면 밴드 불연속성은 이종 인터페이스에 높은 이동성의 2차원적인 전자 가스를 형성한다.
- **이력 제어** -는 비교기가 출력 전압을 모니터링하여 전력 스위치를 제어하는 DC-DC 컨버터의 제어 방법이다. 이 방법은 부하 전류의 변화에 대한 빠른 대응이 필요한 CPU나 FPGA와 같은 적용에 유용하다.
- **HKMG 또는 High-k 유전체/금속 게이트** -- 유전체는 전기 절연체이다. “k”는 비유전율로 물질이 전계 효과 트랜지스터의 게이트 전극과 채널 영역 사이에서 온/오프 전환을 제어하기 위해 이 두 용량을 결합하면서 전류의 흐름을 얼마나 잘 차단하는지를 측정하는 수단이다. 향후 CMOS 집적회로(칩)의 게이트 유전체는 원자 몇 개 수준의 두께인 이산화규소층과 같은 용량 결합을 제공하여 채널 영역의 길이를 10 nm 이하로 축소시킬 수 있게 될 것이다. 금속 게이트 물질은 기존의 도핑된 다결정 실리콘 물질보다 high-k 게이트 유전체와 더 잘 호환된다. 최근 몇 년간 고성능 칩 제조를 위한 CMOS 공정 흐름에 금속 게이트를 통합하는 기술이 크게 진전되었다.
- **HTOL** - 고온 작동 수명. 실제 고온 조건에서 작동하는 반도체 장치의 수명을 측정하는 신뢰성 테스트이다. 이 테스트는 초기 고장이 아닌 마모 오류를 감지하기 위해 상대적으로 오래 걸린다.
- **IEEE 802.11ad** - 밀리미터파(60GHz 대역)를 사용하는 초고속 무선 통신 표준이다.
- **IGZO** - 인듐, 갈륨, 아연, 산소로 구성된 비정질 반도체이다.
- **III-V** -- III-V 화합물 반도체 참조.
- **IA(Instrumentation Amplifier)** - 연산 증폭기 및 일부 추가 장치에 기반한 범용 증폭기 회로 블록으로, 다양한 측정 애플리케이션에 사용될 수 있다.
- **집적회로** -- 반도체 기판에 조립된 상호 연결된 많은 소자(예: 트랜지스터, 다이오드, 커패시터, 저항기, 인덕터)로 구성된 전기회로다.
- **인터커넥트** -- 트랜지스터 및 기타 회로 소자를 연결하는 금속선 또는 와이어다. **백엔드/BEOL** 참조.
- **인터포저** - 칩 사이 또는 소켓과 칩 사이의 전기적 인터페이스. 인터포저는 다른 I/O 터미널을 가진 칩과 소켓을 연결하는 데 사용된다.
- **KGD(Known good die)** - 테스트를 통해 품질이 보증된 다이다. 논리, 메모리, 커뮤니케이션 칩과 같은 여러 개의 칩이 하나의 패키지에 하나의 모듈로써 탑재되기도 한다. 이 경우 모듈의 칩 중 하나에 오류가 발생하면 모듈 전체가 오류로 분류되어 모듈 안에 있는 다른

- 양호한 칩도 사용하지 못하게 된다. 모듈의 수율을 향상시키고 낭비되는 칩의 수를 줄이기 위해서는 칩을 모듈에 통합하기 전에 KGD를 선택하는 것이 중요하다.
- **선형 전압 조정기** - 부하 전류에 따라 출력 저항을 변경하여 일정한 전압을 유지한다. 출력 전압보다 높은 입력 전압이 필요하기 때문에 스위칭 조정기보다 효율이 떨어진다.
 - **링크 버짓** - TX 전력과 RX 감도 사이의 차이로, 무선 통신 범위의 측정 기준이다.
 - **Low-k 유전체/인터커넥트** -- 인터커넥트는 집적회로(칩)에서 소자를 연결하는 금속 와이어를 의미한다. 인접한 와이어의 근접은 정전용량으로 인해 칩의 성능을 제한할 수 있다. low-k 유전체는 상호 정전용량을 최소화하면서 구리선을 전기적으로 절연한다. 단 이 물질들은 일반적으로 손상되기 쉬워 제조에 어려움이 있다.
 - **자기 코어** - 자기 코어는 인덕터나 변압기와 같은 장치에서 자기장을 제한하고 유도하는 데 사용되는 투자율이 높은 자성체다.
 - **MCU** - 마이크로 제어 장치. 마이크로 컨트롤러는 프로세서 코어, 메모리, 입/출력 주변장치를 포함하며 내장용으로 설계되었다.
 - **MEMS** -- 미세 전자 기계 시스템(MEMS)은 마이크로미터 크기의 가동 부품을 포함한다.
 - **MONOS** - 금속 게이트-산화물-질화물-산화물-실리콘 채널의 다층 구조로 이루어진 비휘발성 메모리 소자이다. 데이터 또는 전하는 질화물층의 전하 트랩에 저장되고 채널을 통해 흐르는 전류의 양에 의해 데이터가 읽혀진다.
 - **N(P)BTI** - 음(양) 바이어스 온도 불안정성. 음(양) 바이어스가 게이트에 지속적으로 적용되고 고온 상태가 유지될 때 PFET(NFET)에서 발생하는 현상이다. 바이어스가 적용된 시간에 따라 문턱전압의 절대 값이 증가한다.
 - **신경망** - 컴퓨터 시뮬레이션으로 뇌의 기능적 특성을 모방하기 위한 수학적 모델이다. 신경망은 입력층, 은닉층, 출력층 그리고 각 장치의 배선 연결로 구성된다. 각 와이어는 연결 가중치라고 하는 매개변수를 가진다. 각 층의 장치는 이전 층의 많은 장치에서 전송한 데이터에 연결 가중치를 곱한 데이터를 입력하고 결과를 출력하여 미리 결정된 기능(활성화 기능)에 적용하는 기능이 있다. 입력-출력 쌍으로 이루어진 테스트 데이터 세트를 적용하고 적합한 세트의 연결 가중치를 찾아 대상 기능을 제공하는 방법을 지도 학습(supervised learning)이라고 한다. 지도 학습에는 역전파 방식이라고 하는 알고리즘이 일반적으로 사용된다. 지도 학습으로 얻은 연결 가중치의 세트를 적용함으로써 바람직한 입력-출력 관계를 제공하는 기능을 얻을 수 있다.
 - **N-FET/P-FET 또는 NMOS/PMOS** -- MOSFET은 보완적인 방식으로 작동하는 두 종류가 있다(n-채널 또는 p-채널).
 - **비휘발성 메모리(NVM)** - 전원이 꺼졌을 때도 저장된 정보를 유지하는 컴퓨터 메모리 유형이다.
 - **온오프 변조(OOK)** - 데이터 통신의 변조 기법. 반송파 진폭이 기저대역 데이터에 따라 1과 0 사이에서 직접 변조된다. 단순한 포락선 검출기가 변조에 사용될 수 있으며 저전력 트랜시버에 적합하다.
 - **오보닉 한계 스위치** - 정확한 인가 전압(임계 전압)에서 켜지는 2 단자 스위치 유형. 선택되지 않은 셀의 의도치 않은 누설을 억제하기 위해 3D 크로스 포인트 메모리 어레이의 선택기 스위치로 사용된다.
 - **PAM4** - 4 레벨 펄스 진폭 변조. 통신에서 데이터는 4 개의 이산 레벨 중 하나로 표현된다. 이것은 각 심볼이 기존의 1 비트/심볼 대신 2비트 데이터를 인코딩할 수 있다는 것을 의미한다. 동일한 심볼율과 대역폭의 경우, 두 배의 데이터 스트루트를 얻을 수 있다.
 - **상변화 메모리/PCM** -- 상변화 물질은 결정 및 비결정 상태를 가지며 이것은 비휘발성 메모리에서 "0" 또는 "1"을 나타내는 데 사용된다. 두 상태 사이를 전환하는 데 전류가 사용된다. 전류에서 발생하는 열이 물질의 상태를 변화시킨다.
 - **PEF(Power Efficiency Factor)** - 전력 효율 계수. 증폭기의 특징을 나타내는 측정 기준으로, 일반적으로 신경 신호 증폭기를 비교하는 데 사용된다. 증폭기가 성능 대비 얼마나 적은 전력을 소모하는지 보여주는 데 사용될 수 있다.
 - **펄스 주파수 변조(PFM) 제어** - 펄스 주파수 변조(PFM) 제어는 펄스 주파수가 변하는 곳을 제어하는 방식으로 주파수는 일정하고 펄스 폭만 변하는 펄스 폭 변조(PWM) 제어와

다르다. DC-DC 컨버터에서 이 제어 방식은 경부하 조건에서 PWM 제어보다 더 나은 전력 변환 효율을 달성할 수 있다.

- **Qubit(Quantum Bit)** – 양자 컴퓨팅에서 qubit 또는 양자 비트는 양자 정보의 단위이다. 1 qubit 은 2 상태 양자 역학 시스템이다.
- **QD(Quantum Dot)** – 양자점. 수 나노미터에 불과한 매우 작은 반도체 입자로, 광학적 및 전자적 특성이 좀 더 큰 입자와 다르다. 양자점은 벌크 반도체와 이산 분자 사이의 중간적 특성을 보여준다.
- **ReRAM 또는 RRAM** – 저항 랜덤 액세스 메모리. 전극 사이의 물질의 저항을 변화시켜 2 진수를 저장하는 비휘발성 랜덤 액세스 메모리이다.
- **ROI(관심 영역)** – ROI는 고려 중인 물체의 경계를 정의하는 영역이다. 이미지를 캡처할 때 개인적인 관심 포인트가 관찰되고 평가될 수 있다.
- **SAR ADC** – 축차비교형 ADC는 각 변환의 디지털 출력을 최종적으로 수렴하기 전에 가능한 모든 양자화 레벨에서 이진 검색을 통해 연속 아날로그 파형을 이산 디지털 표현으로 변환시키는 아날로그-디지털 컨버터의 한 종류이다.
- **스케일링/밀도/통합** -- 스케일링은 칩에 더 많이 탑재하기 위해 트랜지스터와 기타 회로 소자를 더 작게 만드는 것이다. 밀도가 높은 칩일수록 주어진 공간에 더 많은 트랜지스터를 포함한다. 통합은 더 많은 기능을 추가하여 기능당 저비용을 달성하기 위해 회로 소자를 칩에 결합하는 것이다.
- **제벡 효과(Seebeck effect)** – 재료 양면 간 온도 차를 재료 양면 간에서 발생한 전압 차로 전환하는 효과이다.
- **반도체** -- 전류를 통과시키거나 차단하기 위해 만들어진 물질로 정보를 저장하고 처리하는 능력을 제공한다.
- **SER** – 소프트 오류율. 우주로부터의 중성자선 또는 패키지로부터의 알파선이 반도체 칩 안의 소자에 부딪치면 소자 내에 전하가 형성된다. 이 발생된 전하는 저장된 데이터의 반전을 초래할 수 있다. 이러한 현상을 소프트 오류라고 하고, 반도체 소자에 소프트 오류가 발생하는 비율을 소프트 오류율이라고 한다.
- **SFDR (Spurious Free Dynamic Range)** – 스퓨리어스 없는 동적 범위(Spurious Free Dynamic)는 아날로그 디지털 컨버터와 디지털-아날로그 컨버터의 표준 측정 기준이다. SFDR은 변환된 주 신호의 전력과 가장 강한 스퓨리어스 신호 간 비율을 dB로 나타낸다.
- **SNDR** – 신호 대 잡음비 및 왜곡비는 아날로그 디지털 컨버터와 디지털-아날로그 컨버터를 위한 표준 측정 기준이다. SNDR는 변환된 주 신호의 전력과 노이즈 및 발생된 고조파 스푸(spur)의 총합 간 비율을 dB로 나타낸다.
- **SoC** -- 시스템-온-칩. 컴퓨터 또는 기타 전자 시스템의 모든 필수 구성요소를 하나의 칩에 집적하는 집적 회로다.
- **SOI** -- 실리콘-온-인슐레이터 기판으로 기생 정전용량을 줄여 집적회로 성능을 향상시키는 데 사용된다.
- **SOTB(Silicon-on-Thin-Box)** – 논리 트랜지스터 공정 기술로, 바디가 얇은 매몰 산화막 위에 형성된다. SOTB는 Box(매몰 산화막)층에 의해 도펀트가 없는 채널 구조로 작은 V_{th} 변화, 낮은 V_{dd} 동작과 같은 장점을 지니며 이는 논리 회로의 에너지를 감소시킨다.
- **변형된 실리콘 & SiGe 스트레서** -- 실리콘 원자들이 인장되어 정상 상태보다 멀리 위치하거나 압축되어 정상 상태보다 가깝게 위치할 때 “변형”되었다고 한다. 이렇게 변형된 상태에서는 전자가 실리콘을 쉽게 통과할 수 있어 트랜지스터를 더 빠르게 더 낮은 전압으로 작동할 수 있다. 변형을 일으키는 외부 스트레서는 실리콘과 원자 간격이 약간 다른 물질이다. 예를 들어, p-채널 실리콘 전계 효과 트랜지스터의 채널 영역을 압축 변형시키는 일반적인 방법은 실리콘보다 원자 간격이 큰 실리콘 게르마늄(SiGe)을 소스와 드레인 영역에 추가하는 것이다.
- **SRAM** -- 컴퓨터 메모리의 한 종류(정적 랜덤 액세스 메모리, static random access memory)로 정보의 각 비트를 저장하기 위해 6개 이상의 트랜지스터를 사용한다. 매우 빠른 쓰기와 읽기가 가능하다.

- **SS** – 문턱 전압이하 스윙. SS 는 MOSFET Id-Vg 특성에서 대수 기울기의 역수값으로 정의된다. SS 가 작을수록 소자의 스위칭이 더 좋다. 단위는 [mV/dec]이며 상온에서 일반적인 MOSFET 의 이론적 최소 값은 60 이다.
- **STT-MRAM** – 스핀 토크 전달 자기 랜덤 액세스 메모리는 부상하고 있는 비휘발성 메모리의 한 종류로 전하가 아닌 전자의 “스핀” 상태에 따라 작동한다. STT-MRAM 은 매우 작게 만들 수 있다.
- **TDC, 또는 시간-디지털 컨버터** – 이벤트를 인지하고 이벤트가 발생한 시간의 디지털 표현을 제공하기 위한 장치다.
- **3진 내용 주소화 메모리(TCAM)** – 내용 주소화 메모리는 전체 내용에서 하나의 단어를 찾을 수 있는 특수 메모리이다. “3진”은 0 과 1 이외에도 “X”(don't care)를 저장하고 쿼리할 수 있는 능력을 의미한다.
- **비행시간(ToF) 거리측정 시스템/방식** – 신호를 발사한 시간부터 신호가 물체에 반사되어 돌아오는 시간까지를 계산하여 거리를 측정하는 시스템/방식이다. 이미지 센서 기반 시스템에서 신호는 광 펄스이다. ToF CIS 시스템에서 모든 픽셀은 광원에 동기화되어야 하기 때문에 글로벌 셔터 기능은 필수적이다.
- **트랜지스터** -- 집적회로의 구성요소인 아주 작은 전기 스위치이다. 가동 부품이 없고 반도체 재료(일반적으로 실리콘)로 만들어진다. 트랜지스터는 칩에 수십억 개를 집적할 수 있고 정보를 수신, 처리 및 저장하도록 프로그래밍할 수 있으며 정보를 출력하고 신호를 제어할 수 있다.
- **TSV** – 실리콘 관통 전극. TSV 는 실리콘 다이의 상부에서 하부까지 연결을 제공하여 3-D 적층형 다이의 수직 상호 연결이 가능하다.
- **UWB** – 초광대역은 최소 500MHz 의 대역폭을 사용하여 3.1-10.6 GHz 대역에서 작동하는 무선 통신으로 평균 복사 전력 밀도가 매우 낮다.
- **2T-MONOS** – MONOS 구조의 메모리 소자와 트랜지스터로 구성된 메모리이다. (MONOS 참조.)
- **2.5D, 3D 통합** – 여러 개의 칩을 하나의 패키지에 통합하는 패키징 기법이다. 3D 통합에서 복수의 칩은 수직 방향으로 스택되고 이 칩들은 micro-bump 와 TSV 를 통해 전기적으로 연결된다. 이 기법은 DRAM 스택킹과 CMOS 이미지 센서/제어 논리 칩 스택킹에 실제로 사용된다. 이 기법의 단점은 스택된 칩들이 고성능 칩의 열에 노출되고 TSV 를 각 칩마다 형성해야 한다는 것이다. 2.5D 통합에는 실리콘이나 수지를 사용하여 인터커넥트 구조로 만들어진 인터포저가 준비되어 있다. 칩들은 인터포저 위에 수평 방향으로 탑재된다. 이 기법을 사용하면 발열 문제를 줄일 수 있고 TSV 를 각 칩마다 형성할 필요가 없다.